

Digit-On-Line-Architekturen und VHDL-Cores für die Umsetzung von schnellen seriellen MSD-First- Signalverarbeitungsalgorithmen

Steffen Dolling, Dirk Timmermann, Andreas Wassatsch

Universität Rostock,
Fachbereich Elektrotechnik und Informationstechnik,
Institut für Angewandte Mikroelektronik und Datentechnik,
R.-Wagner-Str. 31, D-18119 Rostock,
email: dol@baltic.e-technik.uni-rostock.de

Abstract

In dieser Arbeit werden Digit-On-Line-Module für eine schnelle serielle Signalverarbeitung vorgestellt, die nach dem Most-Significant-Digit-First-Prinzip arbeiten. Diese gestattet im Gegensatz zu der bekannten Least-Significant-Digit-First-Technik, die nur für die Addition, Subtraktion und Multiplikation ohne Einschränkungen zu verwenden ist, die Implementierung nahezu aller praktisch vorkommenden Funktionen. Üblicherweise können, verglichen mit parallel kommunizierenden Strukturen, für kaskadierbare Aufgabenstellungen i.a. niedrigere Latenzzeiten erreicht werden. Somit wird auch der Einsatz in Multiprozessorsystemen und allgemein verteilten Systemen vorteilhaft. Die den Modulen zugrunde liegenden Algorithmen werden auf die Funktionalität generischer Grundzellen zurückgeführt, die als VHDL-Modelle beschrieben wurden. In einem entsprechenden VLSI-Entwicklungszyklus lassen sich aus diesen flexible parametrierbare Funktionsblöcke bilden. Durch die modulare Anordnung dieser Blöcke sind konfigurierbare Digit-On-Line-Elemente für die Umsetzung der elementaren arithmetischen Funktionen realisierbar, die sich wiederum zur Abbildung komplexer Operationen verbinden lassen. Diese synthetisierbare Modulbibliothek wurde zur Verifikation auf eine ASIC-Technologie abgebildet.