

Energy Aware and Robust Interconnection Architectures for Nanoelectronic Systems

M. Sc. Tim Wegner

Betreuer: Prof. Dr. D. Timmermann,
Prof. Dr. A. Uhrmacher

Kernaspekte

- **Technologischer Fortschritt**

- krit. Aspekte für Entwurf und Betrieb hochintegrierter Schaltungen

- **Zuverlässigkeit**

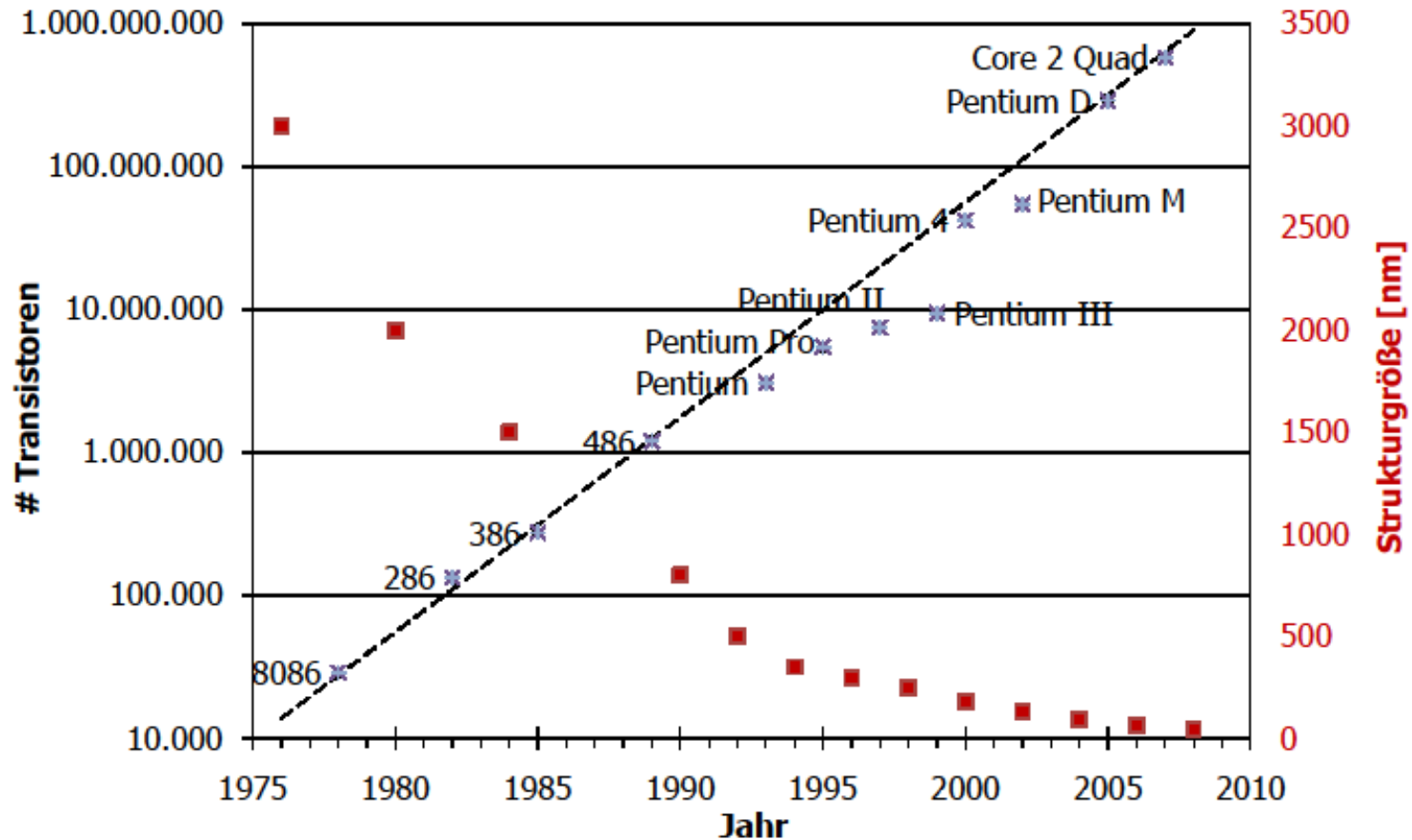
- Hinauszögern von Fehlfunktionen/Defekten, Erhaltung der Leistungsfähigkeit

- **Robustheit**

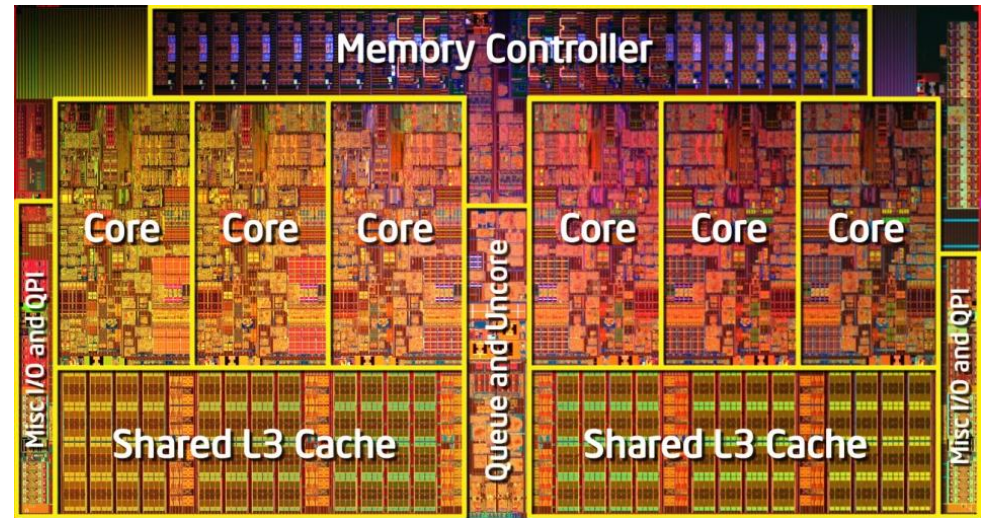
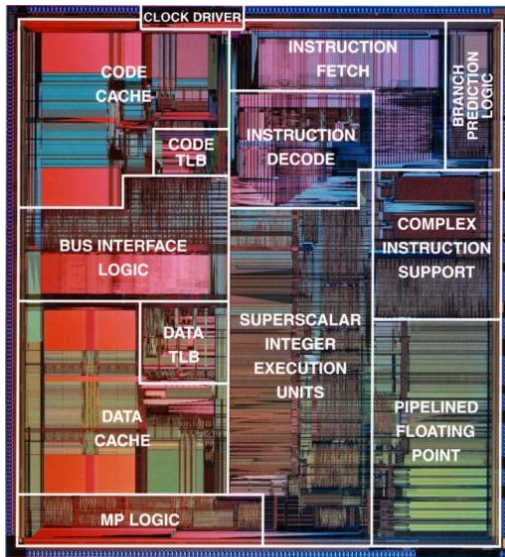
- korrekte Gesamtfunktionalität trotz defekter Teilsysteme (speziell NoCs)

Technologischer Fortschritt

Moore's Law:



Technologischer Fortschritt



● Intel Pentium (1993)

- 3,1 Mio. Tr. (10544/mm²)
- 294 mm² (800 nm)
- 66 MHz; 16KB Cache
- TDP: 16 W

● Intel Gulftown (2010)

- 1,17 Mrd. Tr. (4,72 Mio./mm²)
- 248 mm² (32 nm)
- 3,46 GHz; 12MB Cache
- TDP: 130 W

Technologischer Fortschritt

- steigende Integrationsdichten (Entwicklung: 22nm, kommerziell: 32nm)



- hochintegrierte Systeme
 - zunehmend komplex, kompakt, leistungsfähig, vielseitig
 - steigende Ansprüche (Kommunikation, Integration)



Networks-on-Chip (NoCs)

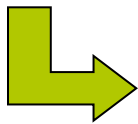


- steigende Defektwahrscheinlichkeit (# Tr./Chip nimmt zu)
- erhöhte Anfälligkeit gegenüber Umwelteinflüssen, Verschleiß (Abnehmende Strukturgrößen ICs)
- höhere thermische Belastung (Datenaufkommen/Aktivität, Leistungsdichte)



???

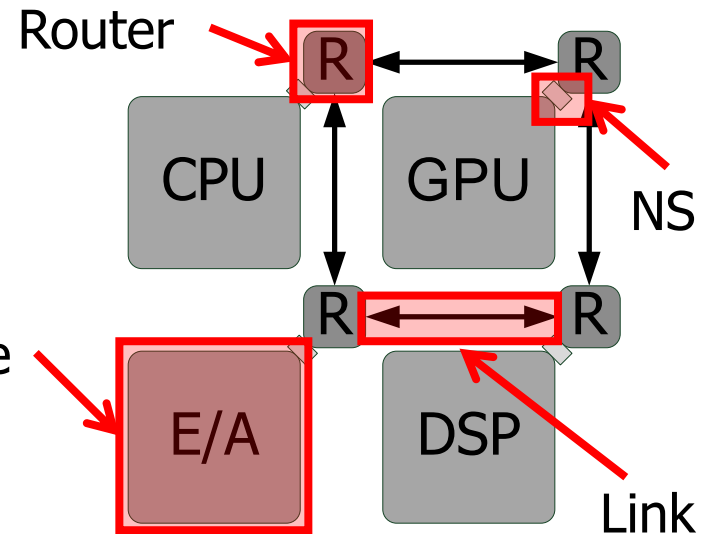
Networks-on-Chip



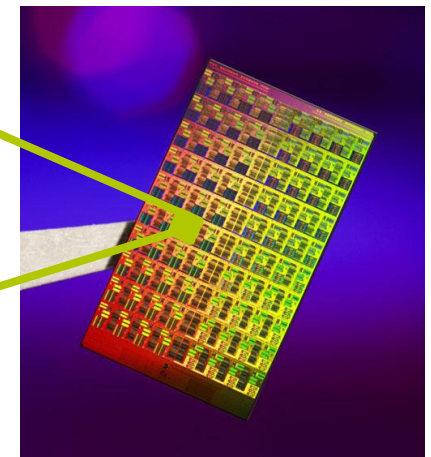
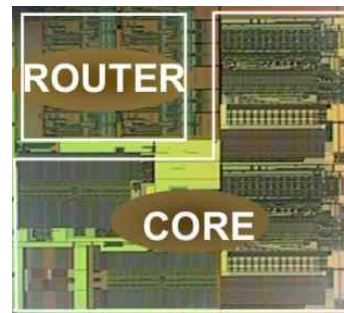
„Datenautobahn“ komplexer hochintegrierter Systeme

Bestandteile:

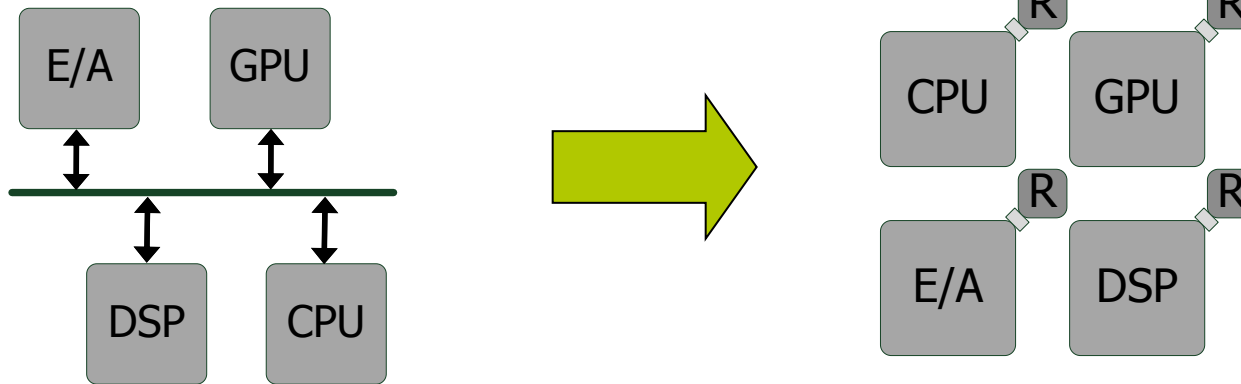
- Router
- Link
- Netzwerkschnittstelle (NS)
- Systemkomponenten
 - CPU
 - Cache
 - E/A
 - ...



Komponente



Networks-on-Chip



- dezentrales Medium
 - geringere Latenzen
 - höherer Datendurchsatz
- Nebenläufigkeit (parallele Kommunikations- u. Verarbeitungsprozesse)
- Modularität
- Skalierbarkeit/Erweiterbarkeit

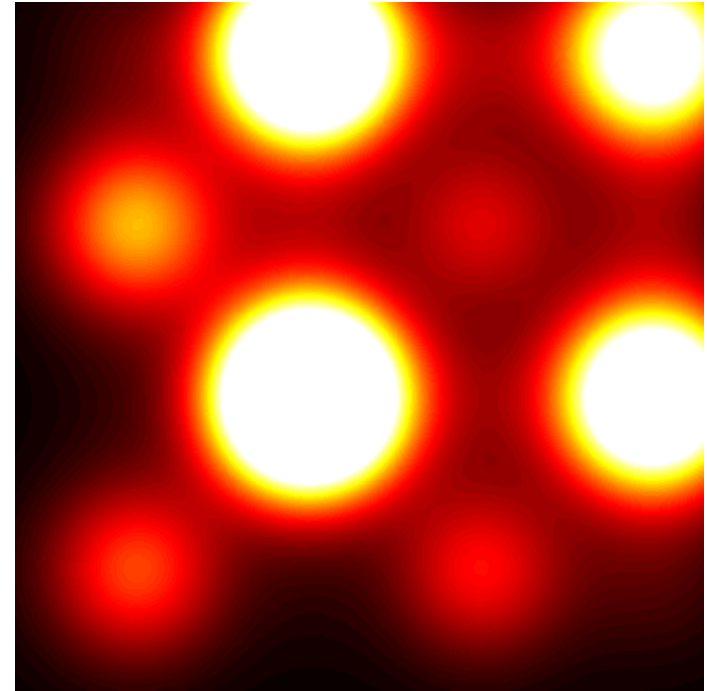
Zuverlässigkeit

Problem:

- Schaltaktivität pro Fläche steigt
- Leistungsdichte nimmt zu
- ➔ Großteil der Leistung als Wärme abgestrahlt

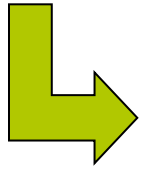
Folgen:

- thermischer Stress (Hot Spots, Temperaturgefälle)
- zum Verschleiß beitragende phys. Effekte exp. beschleunigt (TDDB, EM)



Negativer Einfluss auf:
Lebensdauer
Funktionsfähigkeit
Leistungsfähigkeit

Erhöhung der Zuverlässigkeit



- Überwachung und Steuerung der on-Chip Temperaturverteilung

Ziel:

- schnelles und effizientes Temperatur-Management
- geringe Systembeeinträchtigung
- geringer Aufwand (Kosten: Hardware, Leistungsaufnahme; Berechnungsaufwand)
- ideal: vorausschauendes Management

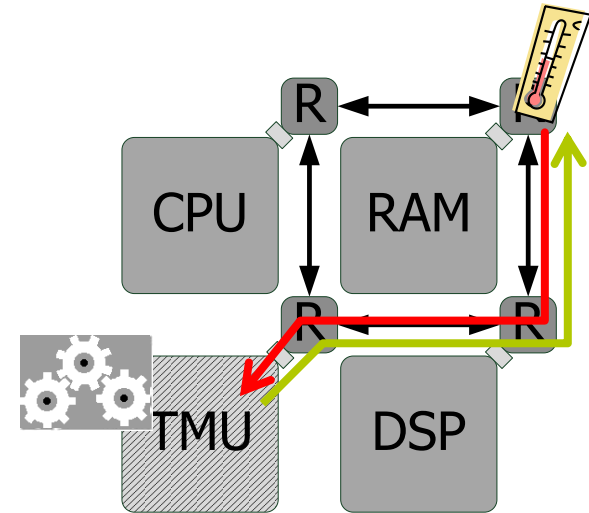
Erhöhung der Zuverlässigkeit

Bisher:

- Beobachten der Temp. (Sensoren)
 - Weiterleiten zu zuständiger Stelle
 - entsprechende Reaktion
- ➔ **lange Antwortzeiten**

Besser:

- Verzicht auf Temp.-Messung
 - Temp.-verteilung vorausberechnen
 - geeignete Maßnahmen treffen
- ➔ **verkürzte Antwortzeiten**



TMU – Thermal
Management Unit



keine Sensoren

Schonung der
Systemressourcen

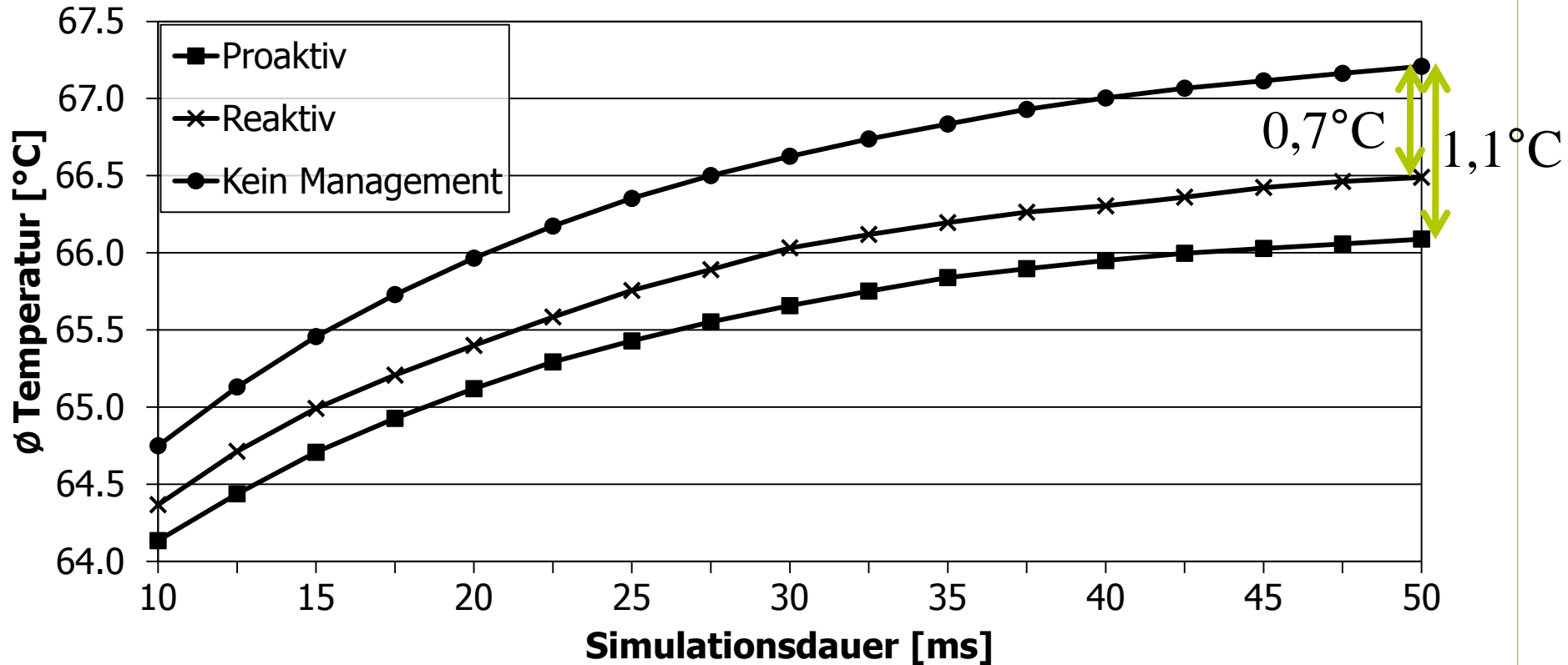
Design-Entscheidungen
entfallen

Erhöhung der Zuverlässigkeit

Simulation:

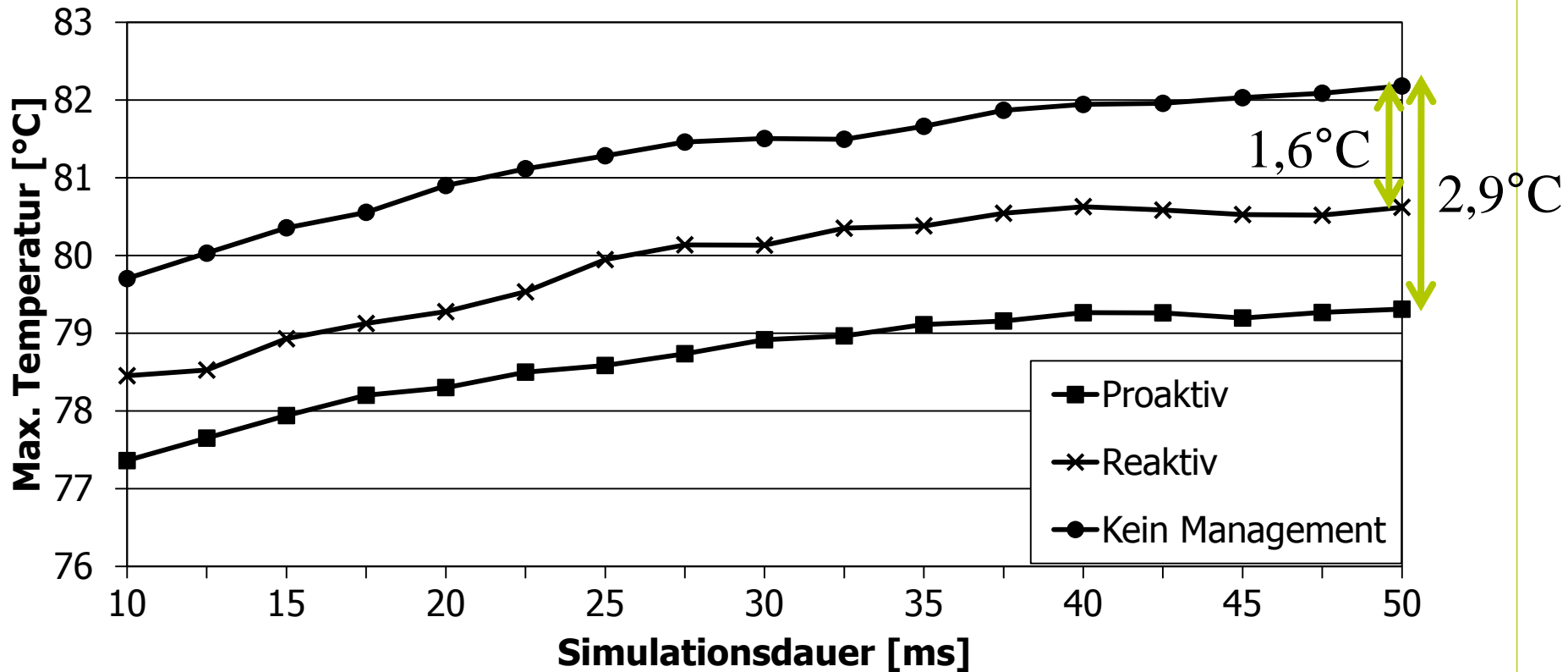
- NoC-Simulator mit integriertem Temperaturmodell [NORCHIP 2010]
- simulierte Implementierungen:
 - ohne Management
 - reaktives Management [MEMICS 2010]
 - proaktives Management [ZuE 2011?]
- untersuchte Parameter:
 - Max. + \emptyset Temp., Temperaturbalance (lokal, global) [ZuE 2011?]
 - Energiebilanz [SoC 2011?]
 - Latenz: Routing, Paket, Header; Datendurchsatz; Datenaufkommen [SoC 2011?]

Erhöhung der Zuverlässigkeit - Ergebnisse



durchschnittliche Verbesserung um 53,7%

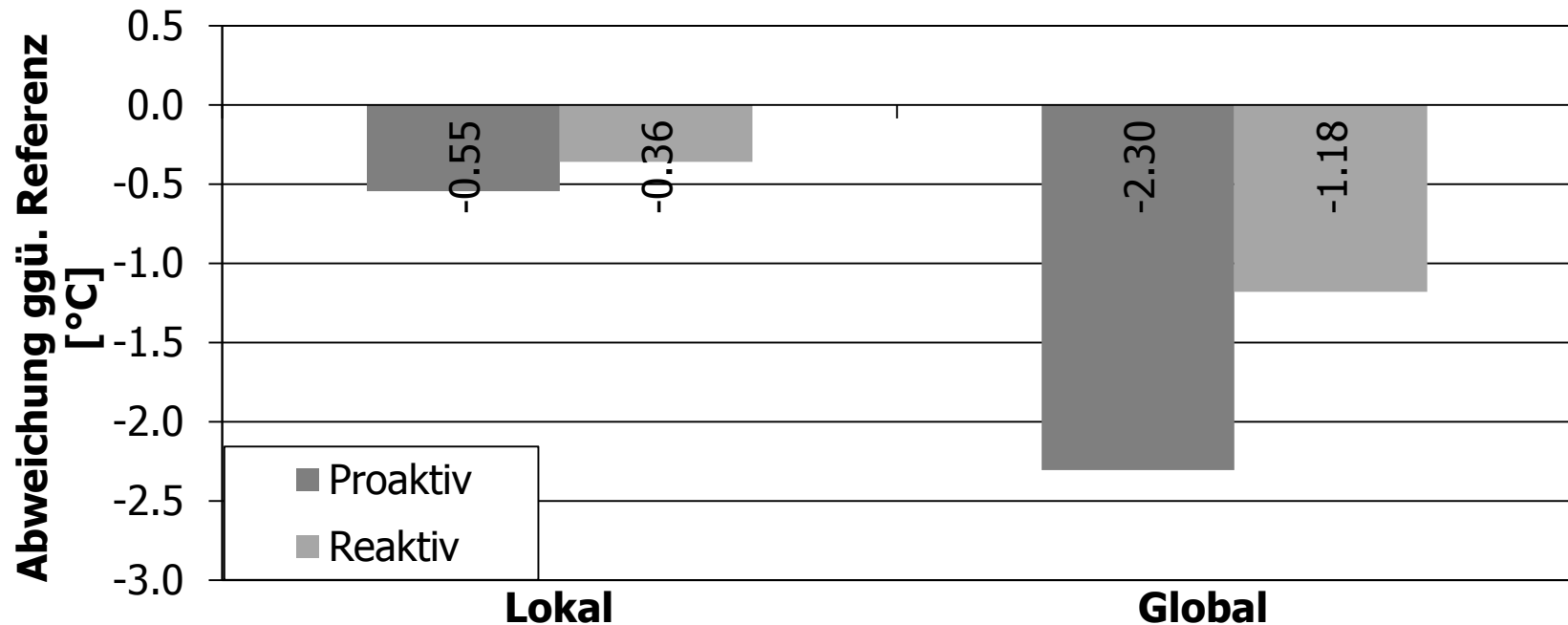
Erhöhung der Zuverlässigkeit - Ergebnisse



durchschnittliche Verbesserung um 80,8%

Erhöhung der Zuverlässigkeit - Ergebnisse

Temperaturungleichgewicht



Verbesserung um 51,7% bzw. 95,5%

Zusammenfassung

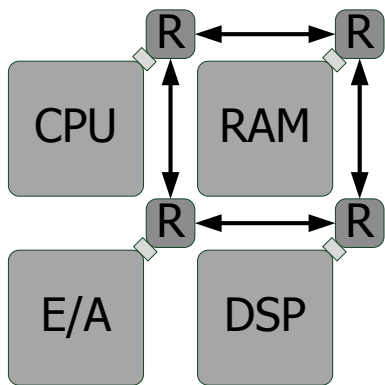
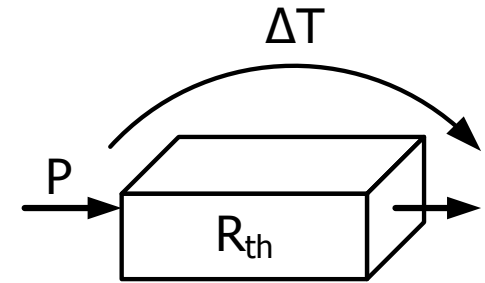
- Entwicklung eines Temperaturmodells zur Simulation der Temperaturverteilung in NoC-basierten Systemen
- proaktives (Temp. berechnen) statt reaktives (Temp. messen) Temperatur-Management
 - verkürzte Antwortzeiten
 - reduzierte Kosten (Hardware?)
 - reduzierte Maximal- und Durchschnittstemperaturen
 - ausgeglicheneres Temperaturprofil



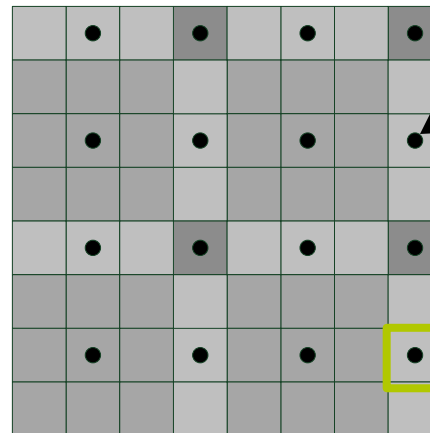
Vielen Dank für die Aufmerksamkeit!

Erhöhung der Zuverlässigkeit

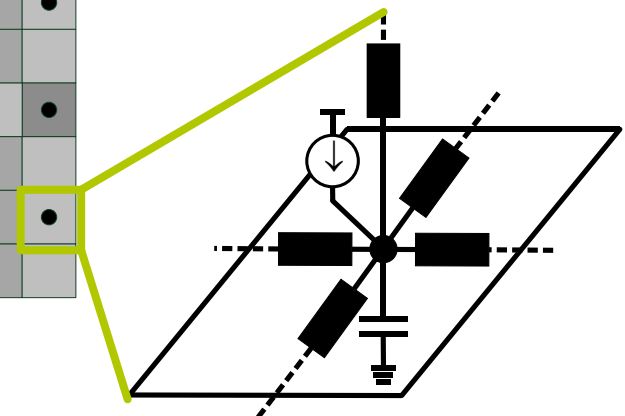
Temp.-Modell	Formelzeichen	Elektr. Modell	Formelzeichen
Wärmefluss	P [W]	Strom	I [A]
Temp.	T [K]	Spannung	U [V]
Widerstand	R_{th} [K/W]	Widerstand	R [V/A]
Kapazität	C_{th} [J/K]	Kapazität	C [As/V]



Abbildung



Stromquelle: $I \sim$ Aktivität

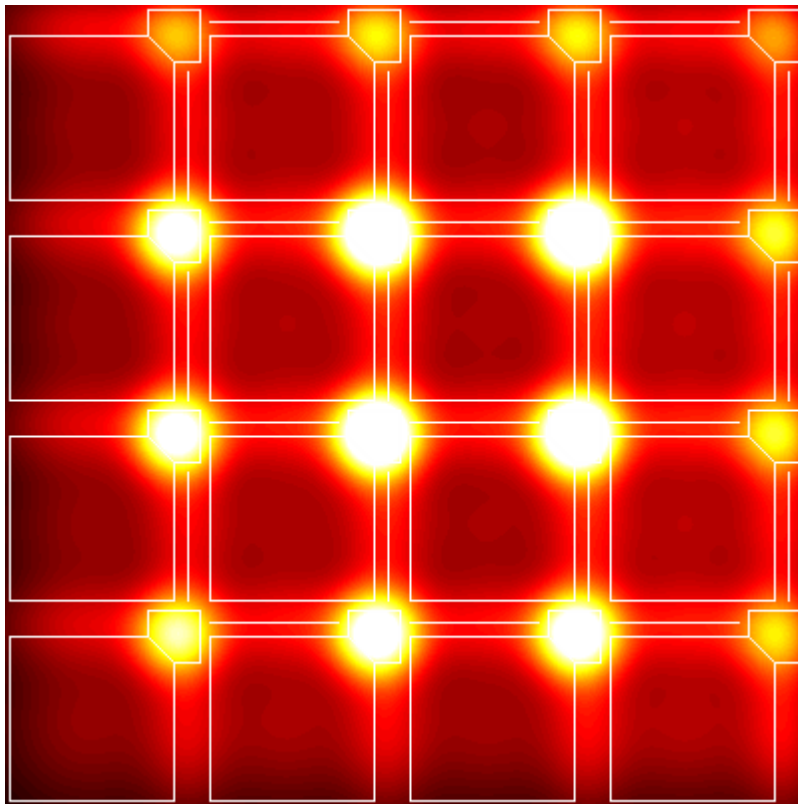


Ausblick

- NoCs: mittel- bis langfristig stark zunehmende Relevanz
 - Intel: „Polaris“ 80 Kerne, experimentell (2006)
 - AMD: „Terramar“ 20 Kerne, kommerziell (2012)
 - Tiler: „Gx100“ 100 Kerne, kommerziell (2011)
- Robustheit wichtiger Faktor
 - Bereiche, in denen Wartung/Reparatur nicht möglich sind (z.B. Raumfahrt)
 - Bereiche, in denen die Systemfunktionalität trotz Defekt gewährleistet sein muss (z.B. Automobil-, Luftfahrtbranche)

Temperaturprofil 4x4 NoC nach 50ms

Ohne Management



Reaktives Management

