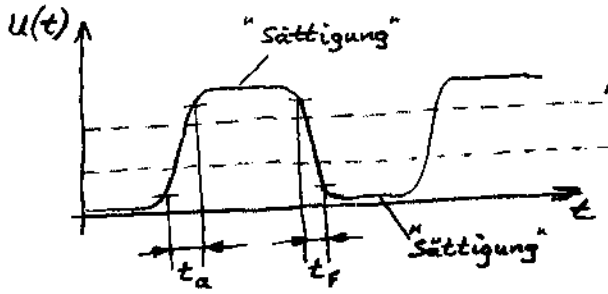
III. Integrierte Schaltkreise, Digitale Schaltungstechniken

Allg: <u>Analoge IC's:</u> typ. Operationsverstärker, soll <u>lineare</u> Verhältnisse zwischen Ein- u. Ausgangsgrößen (Strom, Spannung) erzeugen

<u>Digitale IC's:</u> Absolutwerte von U, I nicht maßgebend
2-wertige Logik, "Ein" - "Aus" - <u>Schalterbetrieb</u>



Potentiale ≙ Binärziffern $\begin{cases} 1 \\ 0 \end{cases}$
bei "positiver Logik"
(praktisch immer genutzt)

- direkt gekoppelte Schaltgs-Bestandteile ($f_{gru} \overset{!}{=} 0$) ↝ keine Kondensatoren
- Schalt-Transistoren geraten bei "Ein" in die Sättigung (Übersteuerung!)
  ≙ Begrenzer-Verstärker, <u>Problem:</u> erhöhte Verzögerungszeit
- Forderung nach "schnellem" Schalten im Übergangsbereich "H" ⇔ "L"
  ↝ hohe Verstärkung <u>und</u> hohe obere Grenzfrequenz erforderlich <u>Problem:</u> widerspr. Forderungen
- Signalregenerierung Wichtig: <u>Regenerierung</u> der Flankensteilheiten in jeder Schaltstufe (Gatter) erforderlich!

<u>Realisierbare Strukturen</u> in Monolithisch integrierten Schaltkreisen

- ⏚ - Dioden gegen Grundsubstrat (Vorzugsrichtung entspr. Dotierung des Substrats)
- npn, seltener auch pnp, auch Multiemitter-Tr. E3 E2 E1
- MOSFET's in n- und p-Kanal-Technologie
- R bis 100 kΩ durch Widerstandsleitungen (viel Platz erforderl.)
  von 1kΩ bis 100kΩ durch MOSFET realisiert
- C bis 0,1 pF (bis 5pF in Op.verst., viel Platz erforderl.)

Schwer realisierbar:

- "Schwebende" —▷|— und —||— (zwischen Leitungen - ohne Masse-bezug)
- Präzisionswiderstände
- Wid. —▭— $R < 700\,\Omega$ und $R > 700\,k\Omega$

Nicht mehr sinnvoll realisierbar:

- L —▬—
- C > 10 pF

Problematisch ev. gemeinsamer Massebezug (GND) für alle Bauelemente
↓ Entkopplung schwierig (sperrende pn-Struktur)

Ökonom. Vorteile: Kosten f. Transistorfktn. < 10^{-4} Cent
Zuverlässigkeit um Größenordnungen höher.
Gewicht, Platzbed., P_v — " — niedriger.
"Flachtechnologie" ...

Kosten:

ZB: Entwicklung + Pilotproduktion f. 1 Mbit-DRAM ≈ 0,75 Mrd. DM
Entwicklung 4 Mbit-DRAM ≈ 1,5 Mrd. DM
Pilotproduktion 64 Mbit-DRAM ≈ 7,8 Mrd. DM
(bis 1994 Europäisches JESSY-Projekt)

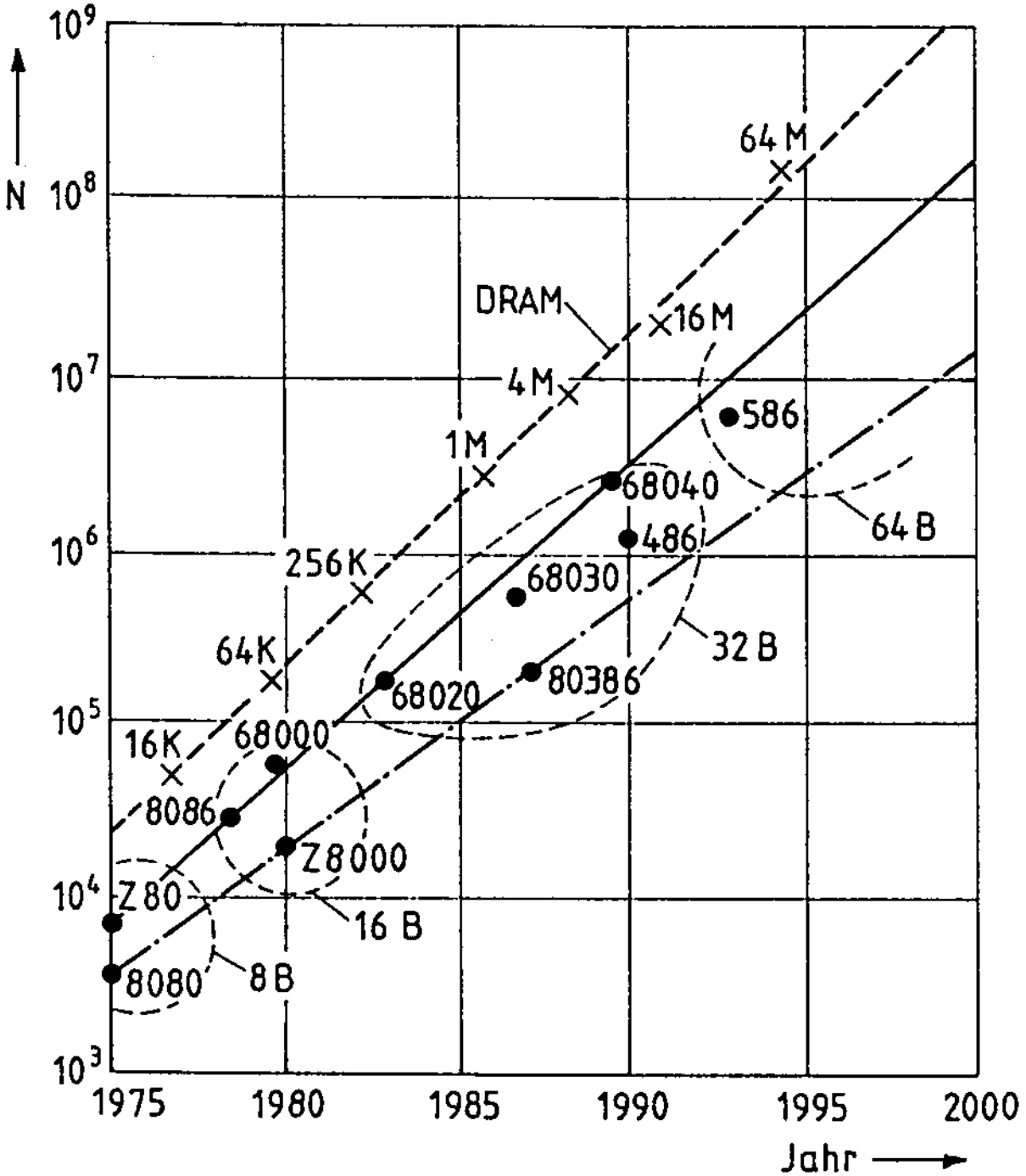
Integrationsgrad: z.Zt. > 700 Mill. Funktionselemente/chip

"Gesetz": Vervierfachung alle 3 Jahre

Schrittmacher sind die DRAM's (hohe Strukturregelmäßigkeit)
gefolgt von µP's (bereits 64-bit-Verarbeitungsbreite)

Grundstrategien:
- Verringerung der min. Strukturabmessungen
  heute ≈ 0,7 µm (≈ Faktor 0,3/5 Jahre)
- Vergrößerung der Chipfläche, aber:
  bei Verdoppelung sinkt Ausbeute auf 37%
  steigt Preis um Faktor 3

↓ Verminderung der Strukturdefekte im Si erf.
(z.Zt. 1 Def./mm²)



Zeitliche Entwicklung des Integrationsgrades für Mikroprozessoren und Speicher

	Minimale Strukturgröße δ	Chipfläche A_C
1965	15 μm	5 mm^2
1975	10 μm	25 mm^2
1985	1 μm	100 mm^2
1995	0,3 μm	350 mm^2
2000	0,1 μm	1000 mm^2

Zahl der Funktionselemente (FE)	Integrationsgrad
$< 10^2$	SSI Small Scale Integration
10^2 bis 10^3	MSI Medium Small Integration
10^3 bis 10^5	LSI Large Scale Integration
10^5 bis 10^6	VLSI Very Large Scale Integration
10^6 bis 10^9	ULSI, V^{2}LSI Ultra Large Scale Integration
$> 10^9$	GLSI Gigant Large Scale Integration
ULSI-, GLSI-Niveau (ganze Scheibe) ...	WSI Wafer Scale Integration

Meilensteine der Halbleiterentwicklung

1842	Winkler	Ge in Freiberg/Sachsen entdeckt
1874	F. Braun	Gleichrichterwirkung von PbS-Kontakten
1879	E. Hall	Hall-Effekt
1885	C. Fritts	Gleichrichterwirkung von FeS-Kontakten
1899	F. Braun	Kristalldetektor als HF-Gleichrichter
1906	Pickard	erster Siliziumdetektor
1915	Benedicks	erster Germaniumdetektor
1925/30	Dresser, Grondahl	Selen- und Kupferoxid als Flächengleichrichter
1938	W. Schottky, E. Spenke	Halbleiterkontakte
1940		Anwenden von Si-Detektoren in der Radartechnik
1947	Bardeen, Brattain, Shockley	Erfindung des Spitzentransistors
1949	Shockley	erster Ge-Flächentransistor
ab 1950	Shockley	Theorie des pn-Überganges, Flächentransistor
1952	Shockley	Sperrschichtfeldeffekttransistor
1958	Esaki	Tunneldiode
1958	Kilby	erste integrierte Ge-Schaltung
1959	Hoerni	Si-Planartechnik
1959	Noyce	erste integrierte Si-Planarschaltung
1961		GaAs-LED
1962		erste TTL-Schaltkreisfamilie
1960	Kahng, Atalla	Feldeffekt in Si nachgewiesen
1963/65	Heilmann	MOS-Feldeffekttransistor
1965		Beginn der MOS-Technik
1967		NMOS-Technologie
1972		dynamisches Speicherprinzip
1974		erster Mikroprozessor

Schaltkreisintegration

1959 Vorschlag zur Schaltungsintegration in Si-Chip
(Noyce, Kilby, Lehovec USA)

1960 Erstes "Phönix-Gatter ≙ TTL für Wetter-Raketen

3 Folien

⋮

Entwicklungsrichtungen:

A Schicht-Technologie

auf Substrat (Glas, Keramik) durch Auftragen von Leiterbahnen u. Widerstandsstrukturen sowie Einfügen (!) diskreter Dioden, Transist., Kapazitäten entst. Hybridschaltkreise;

in "Dünnschichttechnik":

Verdampfen, (Katodenzerstäubung im Vakuum) ~ 0,05 ... 7 µm dünne Schichten

mgl.: hochkonstante, temp.-stabile Widerstände (sehr gut abgleichbar!

für: Widerstandsarrays, Analoge Filterschaltungen verw.

in "Dickschichttechnik":

Substrat wird mit Leiterbahnen u. Widerstands-"Pasten" bedruckt, diese w. eingebrannt (organisches Material)

Vorteil: billig bei versch. Stückzahlen, große schaltungstechn. Anpassungsfähigkeit

(Schaltkreisflächen ≈ 100 ... 1000 mm²)

(!) **B Monolithisch Integrierte Schaltkreise**

Passive- und aktive Bauelemente auf einem einkristallinem Si-Plättchen (Monolith)

Chipflächen ≈ 1 ... 500 mm² (Transistorfktn. < 10 µm²)

100 ... × 1000 Schaltkreise (IC's) gleichzeitig durch fotolithografische Verfahren ... auf einem Wafer hergestellt (Scheiben ⌀ 10 ... 30 cm)

Allg. Entwicklungsziele
- Senkung des Leistungsbedarfs / Funktionselement
- Erhöhung der Arbeitsgeschwindigkeit
- Erhöhung der Zuverlässigkeit
- Realis. neuer Systemkonzepte (⇒ Systementwurf)

Herstellung, Basistechnologie für IC's

"Planartechnik": seit 60-er Jahren Basisverf. der Mikroelektronik, massenhafte gleichzeitige Herstellung mit Hilfe fotomechanischer Abbildungsverfahren (Fotolithografie)

Zyklus 0
- Wahl der Basistechnologie (Bipolar, CMOS, BICMOS ...)
- Vom Grobkonzept zum Feinentwurf ↓ layout (einschl. aller Masken und Steuerinfo's zur e⁻-Lithografie)

Betrachtungsweisen der Entwurfsvorgänge

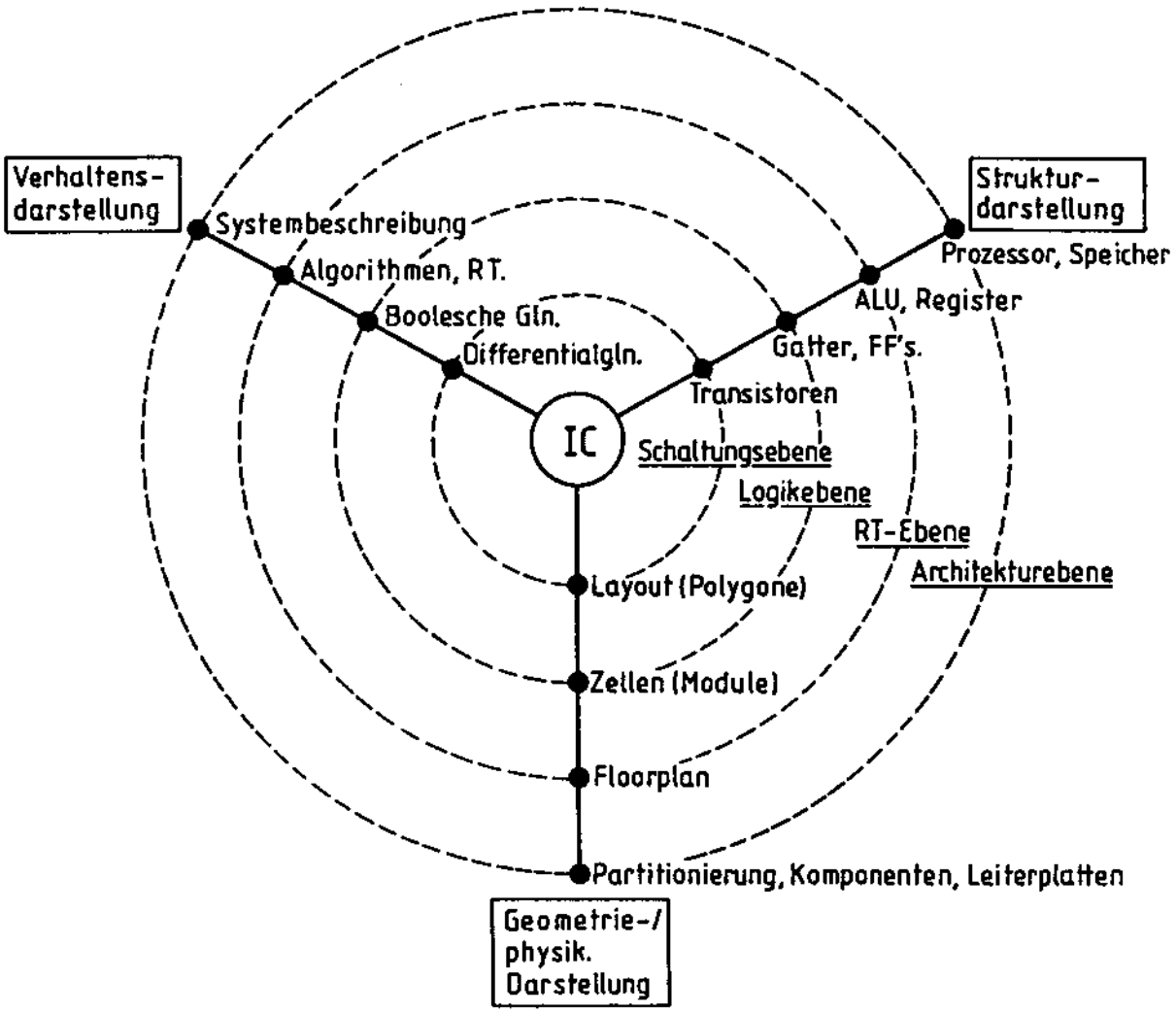
- Spez. Hardware-Beschreibungssprachen: HDL, VHDL, Verilog für Verhaltensbeschreibung v. Fktns-Einheiten.

Strategien: a.) Top-down-Entwurf: (erfordert Synthesewerkzeuge!)
Zielvorgabe → Verhaltensbeschreibung (zB. Algorithmus)
→ Struktursynthese → Layoutsynthese → layout
Werkzeuge: "Silicon-Compiler":
Verhaltensbeschreibung ⇒ layout
"Silicon-Assembler":
Strukturbeschreibung ⇒ layout

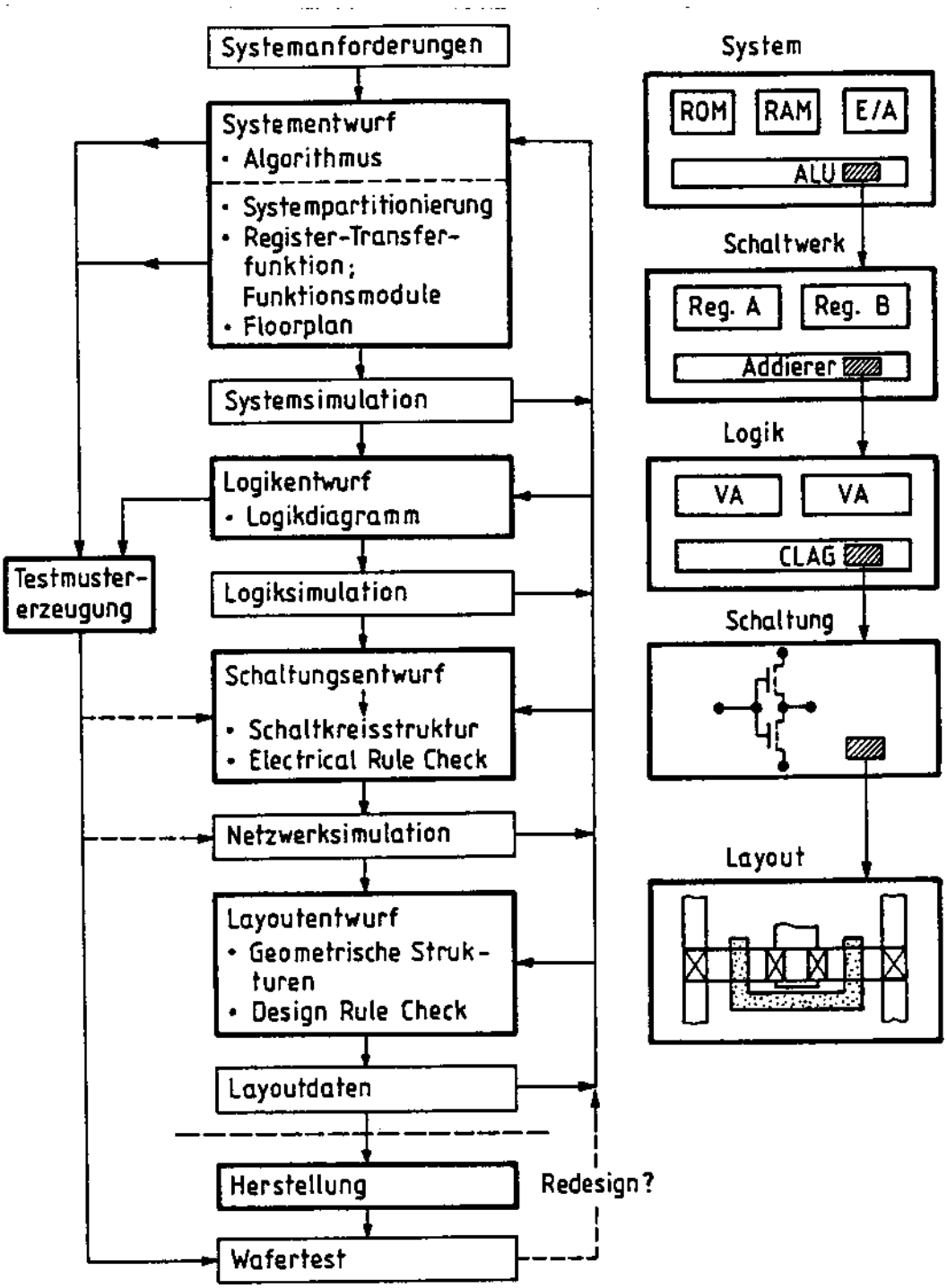
b.) Bottom-down-Entwurf:
Bauelement → Schaltung (-Netz) → System
≙ historisch/sachlichen Entwicklungsweg - leichter kontrollierbar! Schaltung wird "auf Bildschirm" entworfen.

Ablauf IC-Entwurf (komplexere Top-down-Meth.)

↓ wesentlichstes Ergebnis:
Abmessungen der einzelnen Masken (≙ lateral abmessungen der einzelnen Fktns-Elemente, Verbindungsleitungen, Kontaktpunkte ...)



Betrachtungsweisen der Entwurfsvorgänge



Ablauf des Schaltkreisentwurfs (Top-down-Methode)

Zyklus 1 sogen. "Scheibenprozeß"

- Basis sind Si- (GaAs-) Einkristallscheiben
- Anwendung
  - von Schichtherstellungsverfahren (HL / Isolator / Metall - Schichten)
  - von Dotierungsverfahren (p- / n- Dot., auch Umdotierung)
  - von Strukturierungsverfahren (Lithografie, Best. d. Lateralabmessg.)

Schichtfolge

Herstellungs-Ablauf IC's

<u>Si-Scheiben = Wafer:</u> Ø 4-8" (20cm), Dicke 0,5...0,8 mm
aus <u>Si-Einkristallen</u> (l = 40 - 80 cm) mit Diamantsäge geschnitten.
↳ "Ziehen" aus der Schmelze ("Impf"-Kristall einkristallin)
Zonenschmelzverfahren zur Reinigung

<u>Ziel:</u>
- Kristalle hoher Perfektion (wenig Fremdatome, wenig Gitterbaufehler ↓ hohe Ladtr.-Beweglichkeit)
- Kristalle hochohmig $\varrho < 2000\,\Omega\,cm$

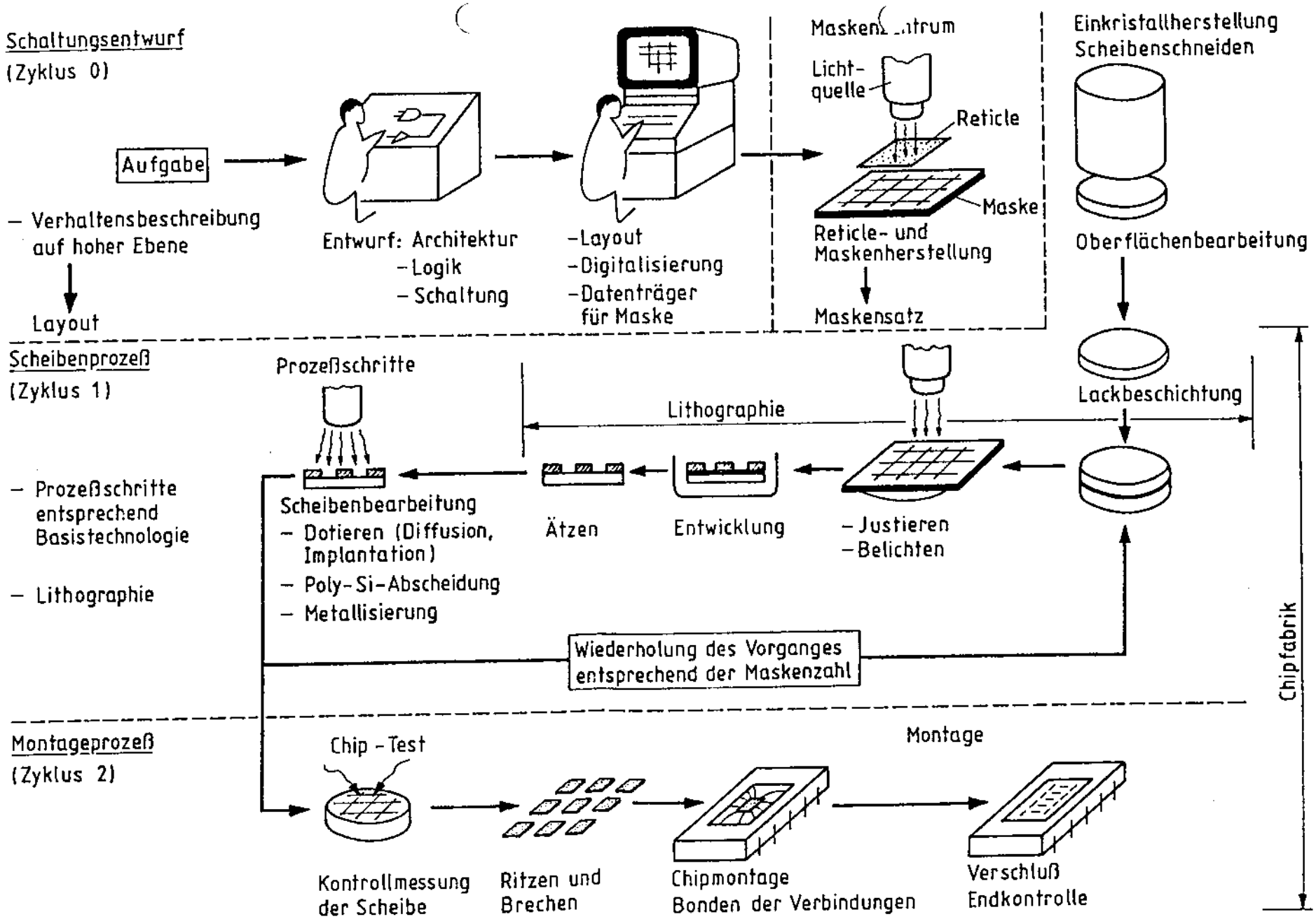
<u>Typische Prozeßschritte:</u>

Epitaxie: Aufwachsen einer dünnen einkristallinen Schicht auf dem einkristallinen Grundmaterial (Wafer) (Schicht ist dotierbar)

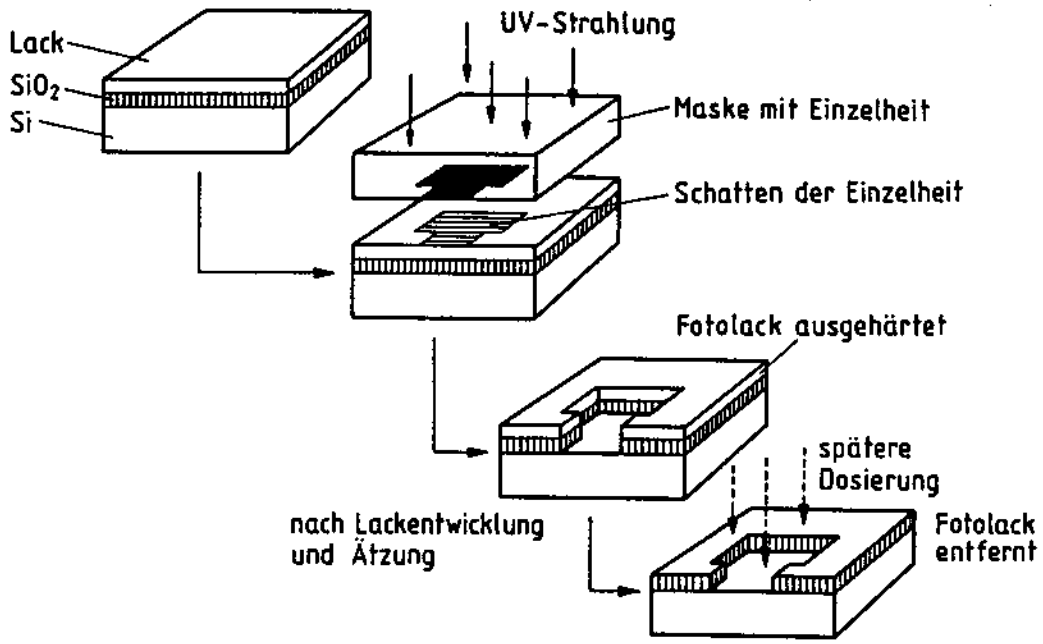
Dotierung: Einbau von Dotierungsatomen mit best. Konzentrationsverteilung ↓ Leitungstyp (p-/n-) und Leitfähigkeit

mgl. durch:
- <u>Diffusion</u>: bei 1000...1200°C eindiffundieren von Dot.-atomen in (Substrat)-gitter
- <u>Ioneninplantation:</u> Einschießen von Ionen des Dot.-materials (Ionenquelle + Beschleunigung ≈ keV...MeV). Erforderl. "Ausheilen" der Gitterdefekte bei 800...1000 °C

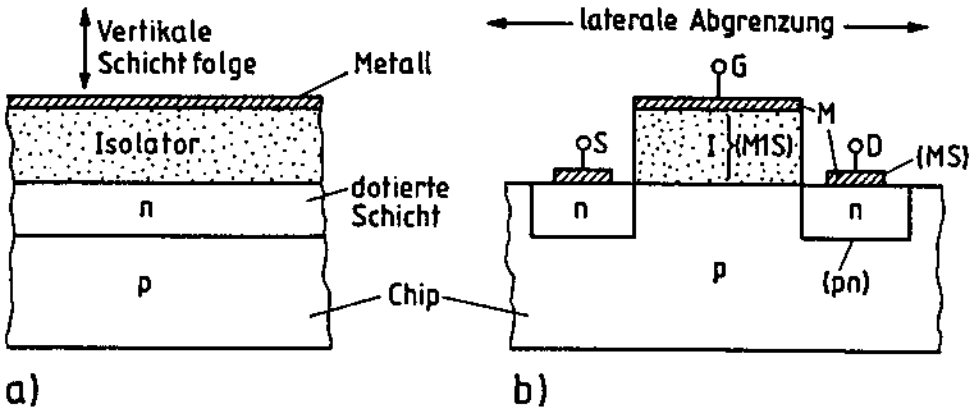
Vorteil ⇒ sehr dünne dot. Schichten ($d \leq 1\,\mu m$), Voraussetzung für VLSI-IC's, entstand mit I^2L-Technologie (1972)



Herstellungsablauf einer integrierten Schaltung



Prozeßschritte der Lithographie



Schichtfolge von Materialien und Funktionselement
a) Folge unterschiedlicher Materialschichten
b) Durch laterale Abgrenzung entsteht ein Funktionselement (MOS-Transistor)

Schichtherstellung:

- Dielektrische Schichten (SiO_2, Si_3N_4) werden verwendet

  als: – Maskierungsschicht für Diffusion
  – Isolator im MOSFET
  – Isolator auf dem Chip und Träger / Isolator von Verbindungsleitungen (Mehrlagenmetallisierung)
  – Schutzschicht für den gesamten IC (Oberflächenpassivierung)

  Herstellung bei 1000...1300 °C durch therm. Oxidation im Sauerstoffstrom

- Metallschichten (Al, Metall-Si-Verbindungen)

  als: – Gate-Elektroden
  – Verbindungsleitungen

  Herstellung durch Aufdampfen, Zerstäuben, chem. Dampfphasenabscheidung

- Dünne Halbleiterschichten

  als: – einkristalline (epitaktische) Schicht
  – polykristalline Si-Schicht für Widerstände, Verbindungsleitungen und Gate-Elektroden

  Herstellung s.o.

Lithografie, Strukturierung:

Grundlage der Lateralstrukturierung ist das Layout (≙ Mustervorgabe)

⇓ Satz von Fotoschablonen oder Masken (Glasplatten) (zB. für Diffusionsgebiete (Source, Drain), Gateelektroden, Kontaktfenster)

Prozeßschritte:
- Belichten einer Foto-Lackschicht mit der Maskenstruktur
- Selektive Entfernung der Foto-Lackschicht nach Entwicklung durch Ätzung
- Ausführung zB. eines Dotierungsschrittes in die infolge Strukturierung freigelegte Si-Oberfläche

Prozeßschritte der Lithografie

Wiederholung von bis zu 20 aufeinanderfolgenden Maskenebenen!

Herstellung der Maske: a.) Optischer Muster-("Pattern"-) Generator erzeugt 1 Retikel, mit Fotorepeater wird Arbeitsschablone mit n-Retikelstruktur im Maßstab 1:1 erzeugt.

↓ Kontaktbelichtung (einige µm) über dem Fotolack

b.) Waferstepper belichtet die gesamte Scheibe Schritt für Schritt mit jeder Struktur

↓ minimale Randverzerrungen
geeignet für große Scheiben Ø

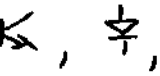
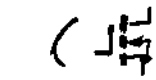
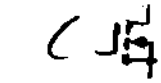
Problem der Fotolithografie: nur minimale Strukturbreiten bis ≈ 0,8 µm (Lichtwellenlänge) mgl.

Ausweg: Verringerung der Wellenlänge der Bestrahlung durch:

- Elektronenstrahl-Lithografie (0,2 µm Auflösung)
- Ionenstrahl- und Röntgenstrahl-Lithografie (0,1 µm)

Realisierung
- durch Masken (bis 200 Scheiben/h)
- durch maskenlose direktschreibende Verf. (ca 1 Scheibe/h)
  hier el-magnet Strahlablenkung

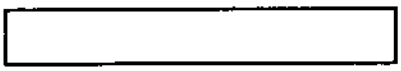
Beispiele zu Basistechnologien

- Bipolartechnologie ()
  ⟹ Basistechnologien: Isoplanartechnik und SBC (Standard buried collector)
- NMOS-Basistechnologie ( n-Anr., n-Verarm.)
- CMOS-Basistechnologie ( n-Anr., p-Anr.)

Grundlegende Prozeßschritte der Isoplanartechnik

Prozeßschritte
Si-Planart.

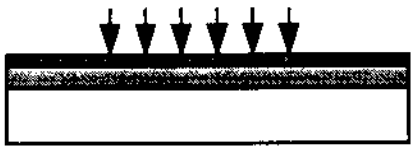
1. Wafer (nicht maßstäblich)



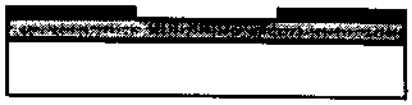
2. Oxidation

3. Beschichtung mit Fotolack

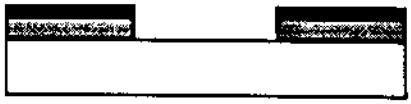
4. Selektive Belichtung



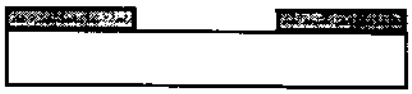
5. Selektives Entfernen der belichteten Lackstellen



6. Entfernen der Oxidschicht an den belichteten Stellen



7. Strippen der Lackreste



8. Selektive Dotierung der geöffneten Bereiche

Grundlegende Prozeßschritte der Silizium-Planartechnik

Zu Beginn immer Oxidierung der Si-Oberfläche (Maskierungsschicht, zur Abschirmung)

Beschichtung mit Fotolack (Fotoresist)

Durch Maske hindurch selektive Belichtung (UV-Licht, Quarzlampe)

Selektives Entfernen des belichteten Lacks (Lösungsmittel)

Ätzmittel (HF) entfernt SiO_2 an belichteter Stelle

↓ Fenster (zB. für Diffusionsprozeß) geöffnet

Entfernen der Lackreste (Strippen)

zB: Vollständiger Herstellungsablauf Bipolartransistor

Herst. ablauf (Scheibenproz.)

hier 6 Masken verw. → heute in verbess. Prozessen bis 20 Masken!

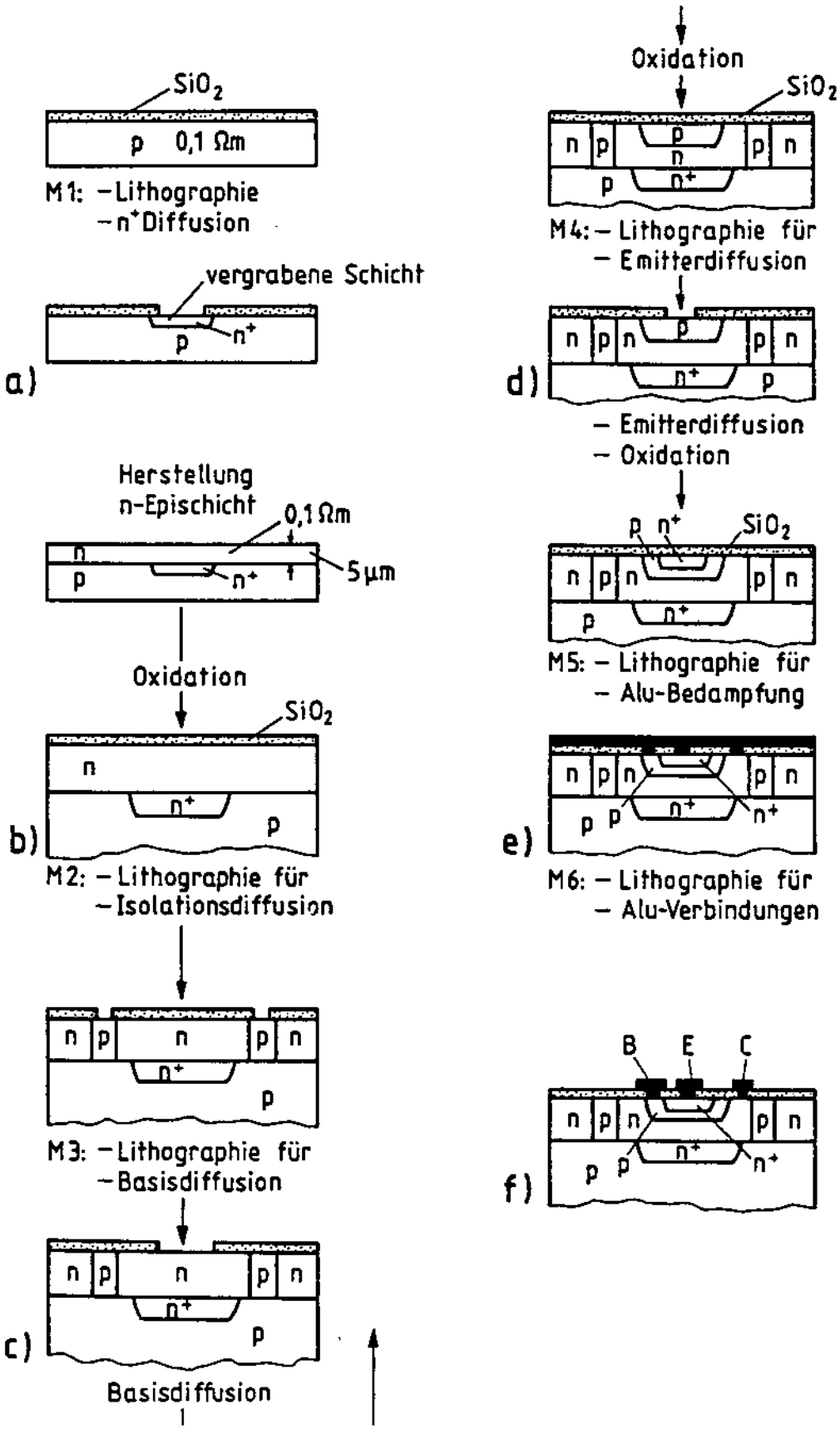
Probleme: - Transistoreigenschaften nur über Lateralgeometrie einstellbar
- viele Masken, aufwendiger Prozeß
- Sperrschichtisolation (umgebende p-n-Gebiete) liefert auch mit T↑ ↓Sperrschichtstrom!

Zyklus 2:

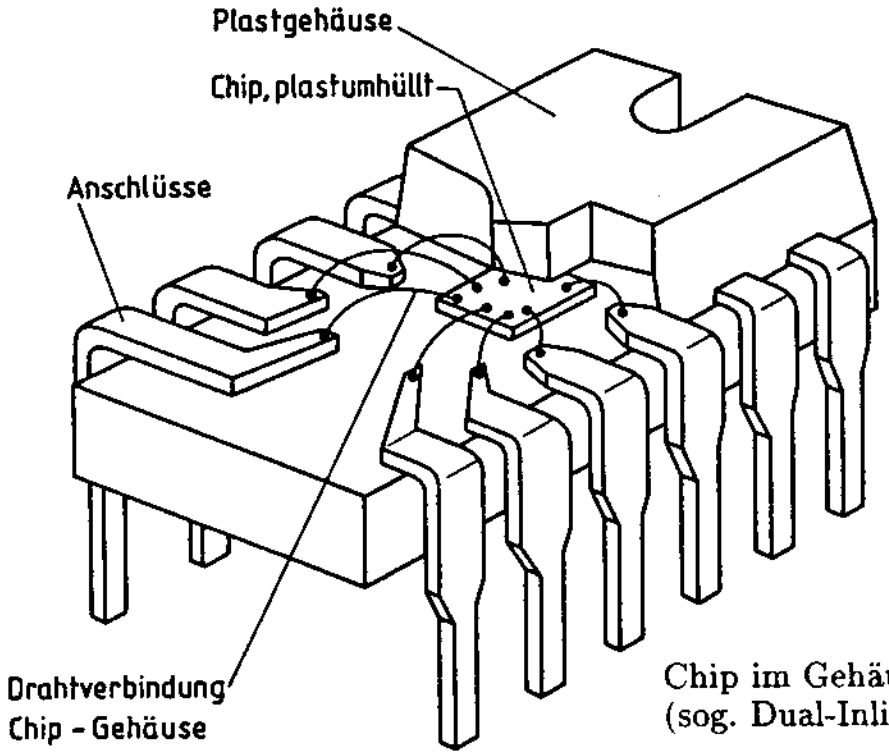
Nach Ende des Scheibenprozesses enthält die Si-Scheibe einige 100 IC's

jetzt: - Test mit Wafertester (Tastspitzen auf Metallkontakte/Bondflächen, Messung...)
- Brechen / Sägen in Einzel-Chips
- Gehäusemontage (DIL, Flat-Pack, Pin-Grid ...)
  Bonden (Ultraschall-Schweißen, 40µm Bonddraht)
  Verkappen (Schließen des Gehäuses)

Chip in DIL-Gehäuse



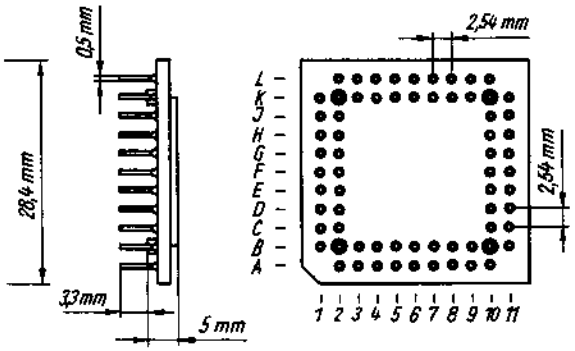
Herstellungsablauf (Scheibenprozeßausschnitt) eines Bipolarschaltkreises mit Sperrschichtisolation



Chip im Gehäuse
(sog. Dual-Inline-Gehäuse)

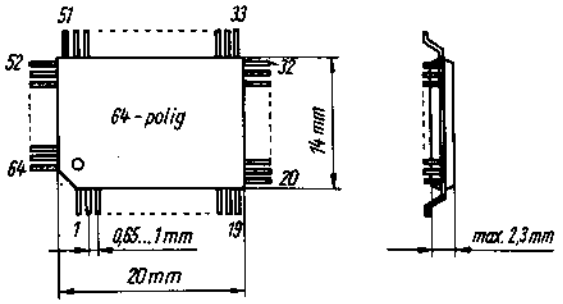
Pingrid-Gehäuse in mehrfachen Reihen gitterförmig (grid)

≤ 180 Pins



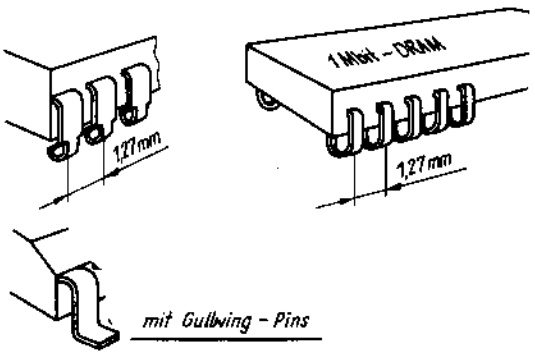
Flatpack-Gehäuse (flat package)

≤ 100 Pins



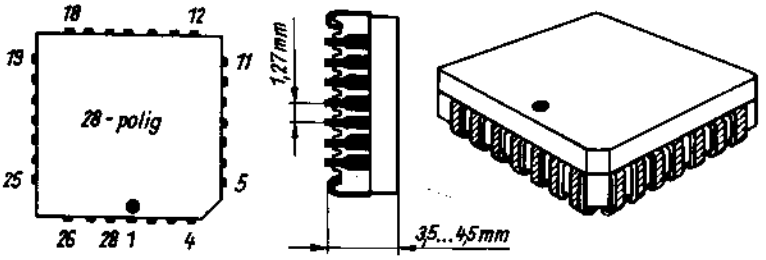
SOJ-Gehäuse (small outline mit J-förmigen Pins)

20 oder 26 Pins

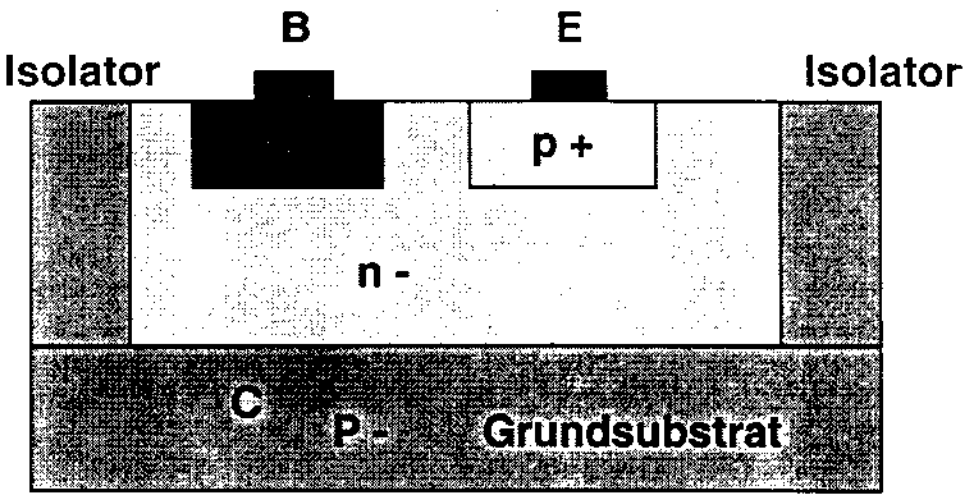


PLCC-Gehäuse (plastic leaded chip carrier)

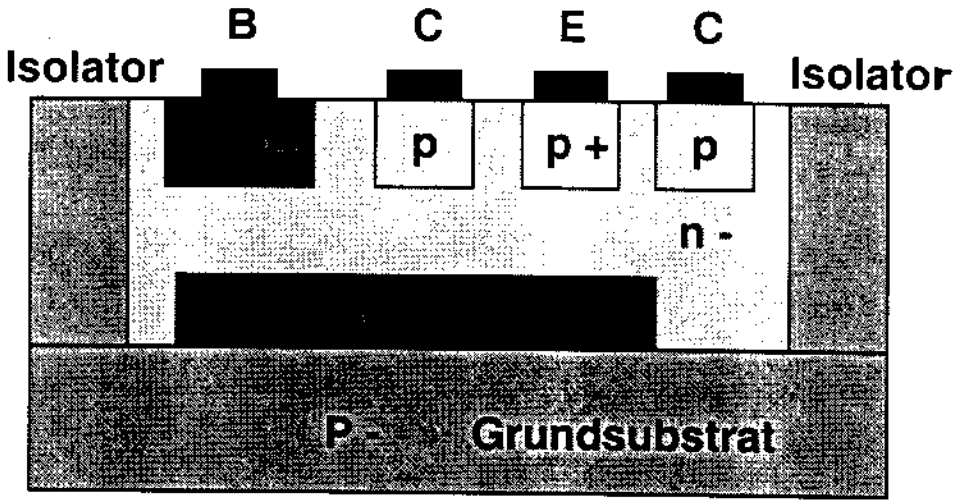
≤ 84 Pins



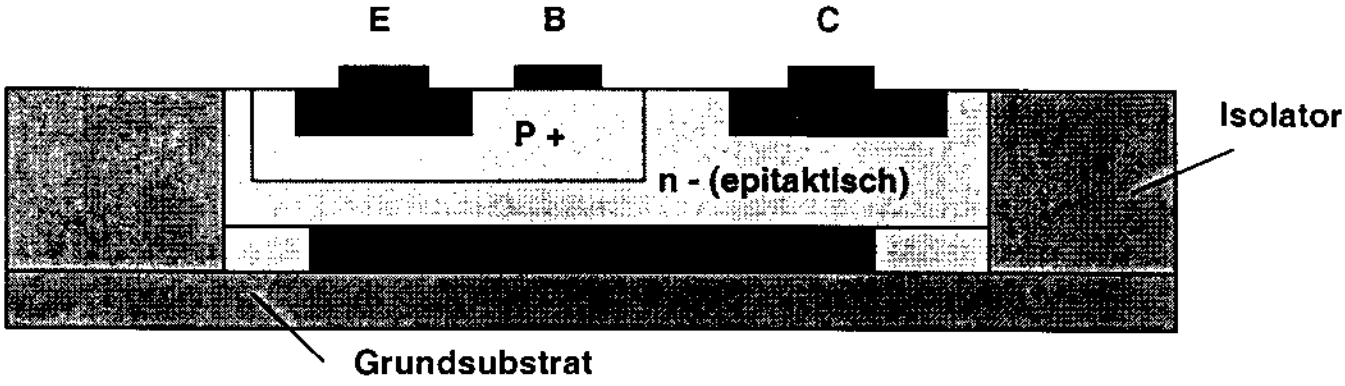
"Möwenflügel"



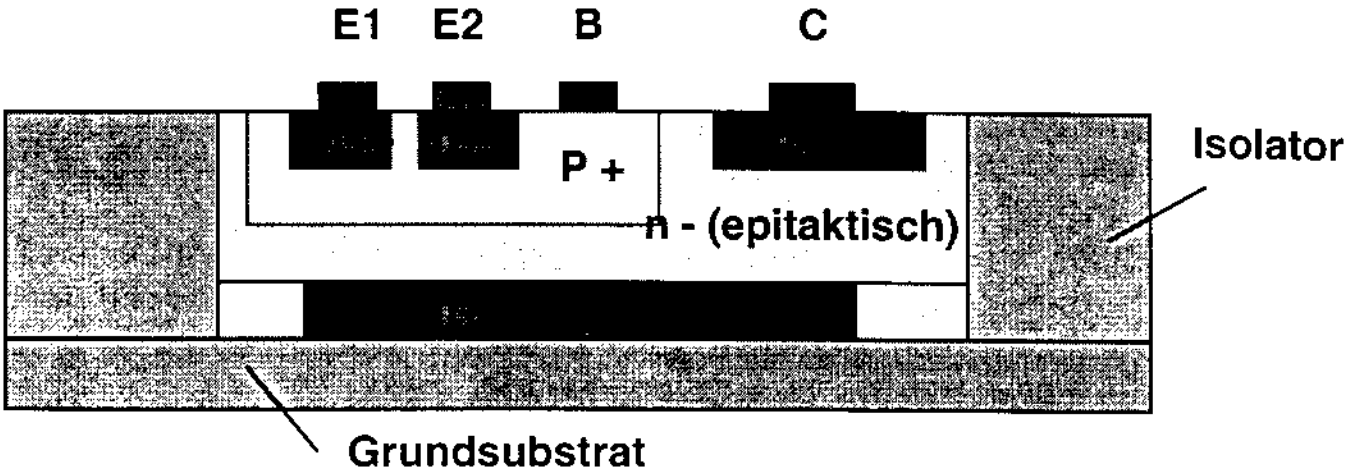
Vertikaler pnp-Transistor (Schnitt)



Lateraler pnp-Transistor



Integrierter bipolarer Transistor



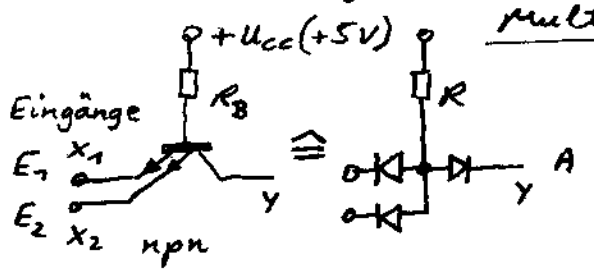
Multi-Emitter-Transistor

Bipolarschaltkreise

hier ex.
- TTL – Logik (Transistor-Transistor-Logik, Verknüpfung und Verstärkung mit übersteuerten Bipolartransistoren)
- ECL (Emitter-Coupled-Logik mit nicht gesättigten Transistoren)
- I^2L (Integrierte-Injektions-Logik ohne R, mit übersteuerten Tr.)

TTL-IC's

Grundanordnung ist Eingangs-UND-Verknüpfung mit Multiemittertransistor (npn)

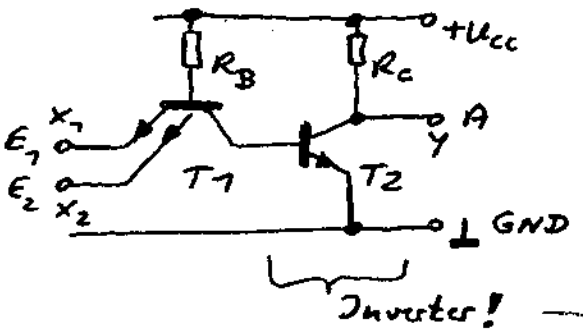


$$\boxed{Y = x_1 \wedge x_2}$$

Ist nur ein E auf "L": ↷ Trans. ist niederohmig leitend, I_B fließt über R_B (Sättigung). damit ist Kollektor auf "L"-Potential

Sind beide E auf "H": (≙ offen!) ↷ Emitterstrom fließt (praktisch) nicht, nur Kollektor-Basis Diode ist leitend. damit Kollektor auf "H"-Potential (Tr. "aktiv invers")

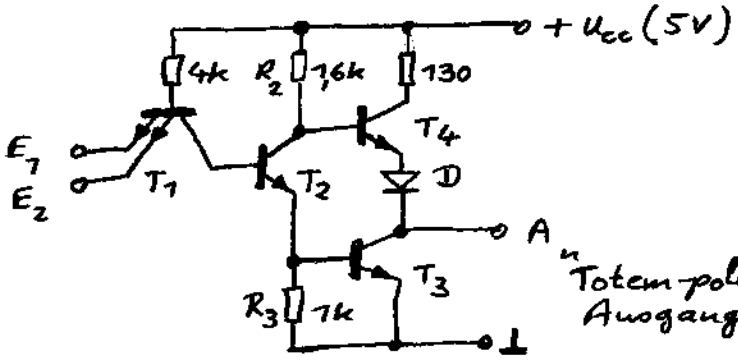
↷ Prinzipschaltung NAND-Inverter:



wenn beide E auf "H" fließt I_C des T_1 (aktiv invers) als I_B in T_2
↷ T_2 leitend ("Ein"), damit A auf "L"

$$\boxed{\overline{Y} = x_1 \wedge x_2}$$

Das Standart-TTL-Gatter ist weiterentwickelt durch:
- Inverter wird als Phasensplittstufe ausgebildet (T_2, R_2, R_3)
- Anfügen einer Gegentaktendstufe zur stromsparenden niederohmigen Signalauskopplung, + Verbesserung des dynamischen Verhaltens (T_3, T_4)



$\boxed{\hat{=}\ 7400}$ NAND-Gatter

D hebt Emitterpotential von T_4 an, damit T_4 durch Kollektor-Spannung von T_2 sicher gesperrt werden kann!

Ist nur ein E auf "L": ↯ T_1 leitend, damit T_2 gesperrt:
dadurch $U_{R3} \to 0$ und T_3 gesperrt
$U_{R2} \to 0$ und T_4 leitend
| damit A auf "H"

Sind beide E auf "H" (bzw. "offen"): ↯ T_1 mit leitender Kollektor-Basis-Diode, damit T_2 leitend
dadurch T_3 leitend und T_4 gesperrt
| damit A auf "L"

(!) Für kleine Umschaltzeiten ex.
Problem: Speicherladung der gesättigten Transistoren, dh. Ladung im Basisraum, ≙ Diffusionskapazität muß jeweils umgeladen werden! (Bem: niederohmige Widerstände, wie in der 74H00-Serie angew., beschleunigen Ladungstransport)
Problemlösung: Vermeidung der Sättigung, um Schaltzeiten zu verkürzen ist der effektivere Weg! – wird realisiert in:

$\boxed{\text{74LS, 74ALS, 74AS Baureihen}}$

Nutzung von Schottky-Dioden (Metall-Halbleiterübergang, gleichrichtend) zur Gegenkopplung auf Basisanschluß:

Flußspannung $U_F \approx 0{,}2 \ldots 0{,}3$ V
damit wird der BPT nur soweit aufgesteuert, wie es für den Kollektorstrom im AP erforderl. ist!
dh. Sättigung wird verhindert!

Weitere Besonderheiten:
- Anstelle Multiemitter-Eingang Verw. von Schottky-Dioden ↯ kürzere Schaltzeiten (LS, ALS – Baureihen)
- Eingänge mit Schottky-clamping-Dioden gegen GND
  Ausgänge (ALS u. AS) mit –"– gegen GND

dienen zum Schutz vor negat. Überspannungen bei kurzen Impulsflanken (Leitungsreflexionen, Überkopplungen)

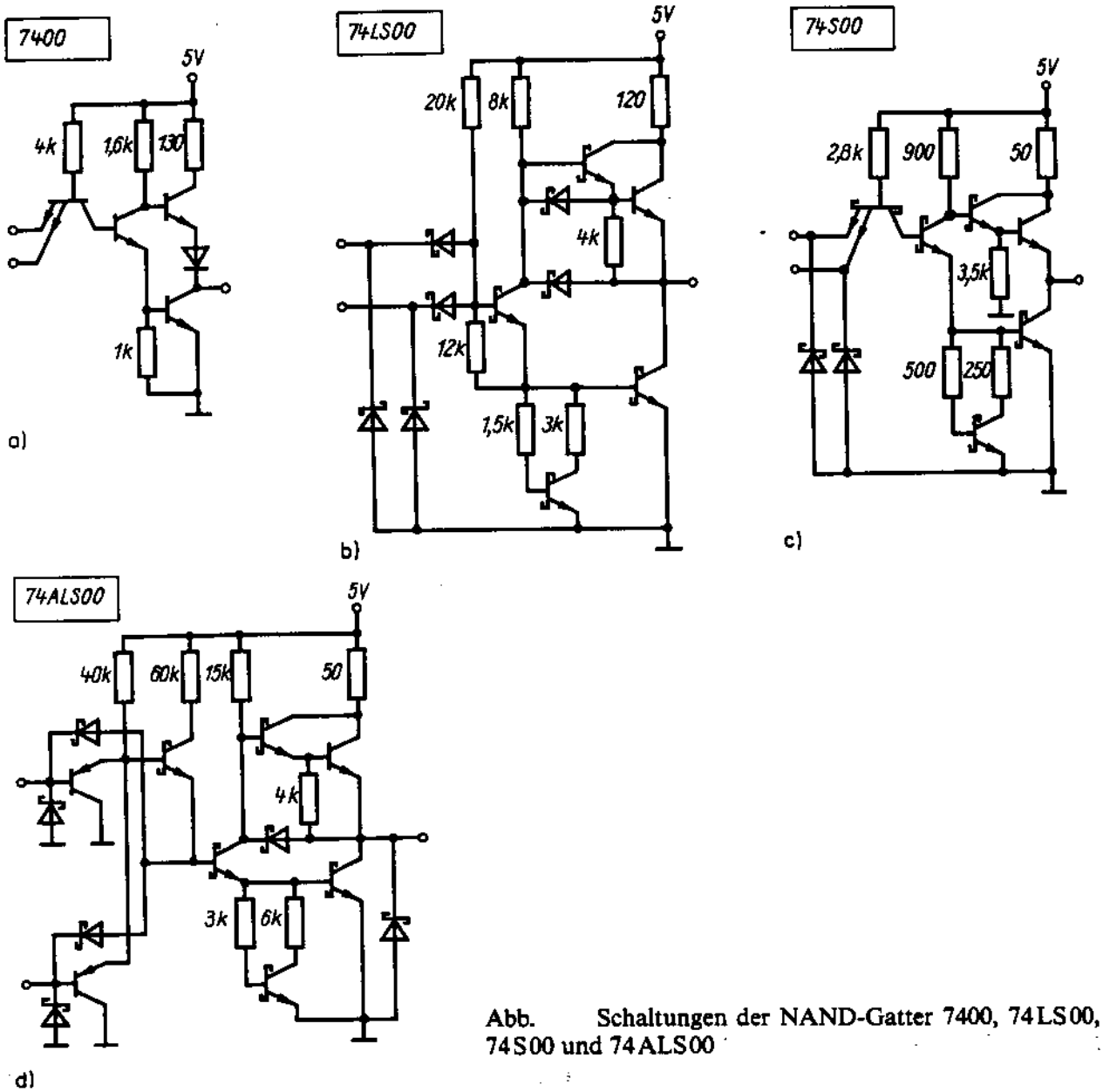


Abb. Schaltungen der NAND-Gatter 7400, 74LS00, 74S00 und 74ALS00

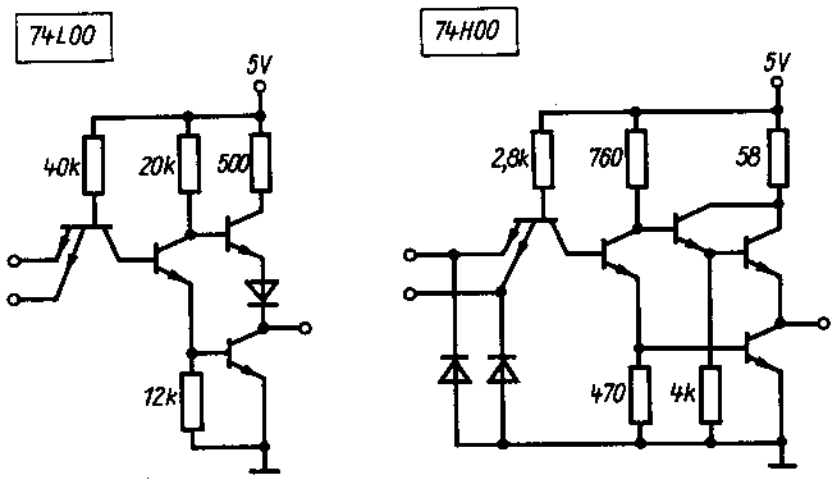


Abb. Schaltungen der NAND-Gatter 74L00 und 74H00

TTL-Baureihen

Schottky-Dioden mit geringem Platzbedarf leicht integrierbar ↷

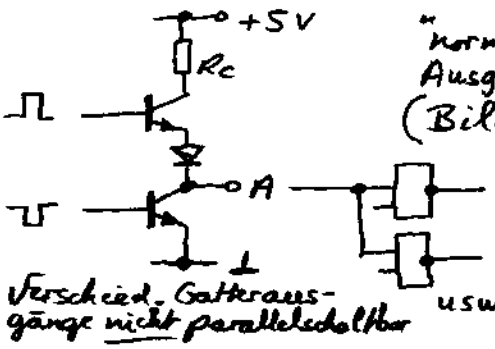
! { 7400 ≙ Standard TTL / 74L00 ≙ Low Power TTL / 74H00 ≙ High-Speed-TTL heute nicht mehr verwendet! }

Ausgangsstufen von TTL-Schaltungen

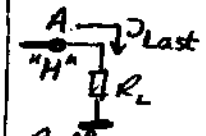
dienen zur Ansteuerung
- nachfolgender (Gatter-) Eingänge
- Leitungen
- system fremder Lasten (Relais, LED's, andere Logik)

und Trennung des internen Logikteils von der angeschalteten Last.

a.) Totem-pole-Ausgang (TP)



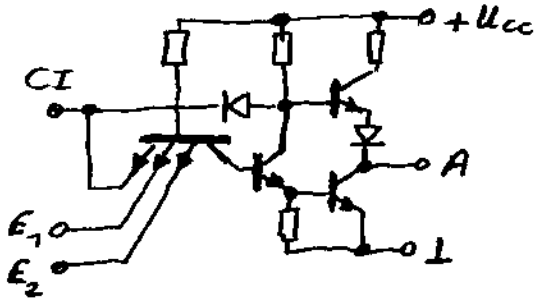
"normaler" TTL-Ausgang
Ausg. A niederohmig für "L" und "H"
(Bildl. Darst. ≙ "Totempfahl")

R_L gegen $+U_{CC}$	R_L gegen ⊥
	
Pull-down Betrieb (8-24mA)	Pull-up Betrieb (0,4-2,6mA)

b.) Tristate-Ausgang (TS)

mit Steuereingang (Input Control bzw. Output Control) können gleichzeitig beide Ausgangstransistoren der TP-Schaltung gesperrt werden

↷ "3. Zustand" mgl.: Ausgang hochohmig



wenn CI – Steuereingang auf "L"
↷ A hochohmig gegen $+U_{CC}$ und ⊥ (GND)

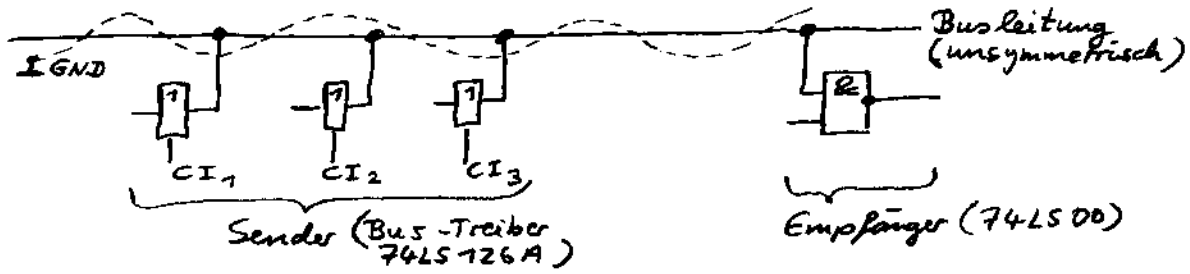
Vorteil: Tristate-Ausgänge parallelschaltbar
gesperrte A können den nichtgesperrten A nicht beeinfl.

Bedingung: Alle Ausgänge bis auf jeweils einen sind gesperrt!

Anwendung bei Anschaltung an Bus-Systeme

zB: Leitungs-/Bus-Treiber, Multiplexer, Schieberegister, Speicher deren Ausgänge an einem zeitmultiplexen Adreß-/Datenbus liegen

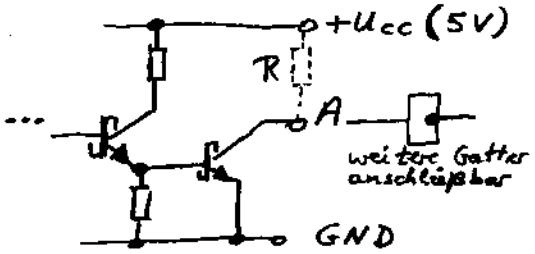
Jeder parallelgeschaltete TS-Ausgang benötigt ein Steuersignal:



c.) OPEN-Kollektor-Ausgang (OC)

Der Ausgangstransistor hat keinen Kollektorwiderstand (im IC)

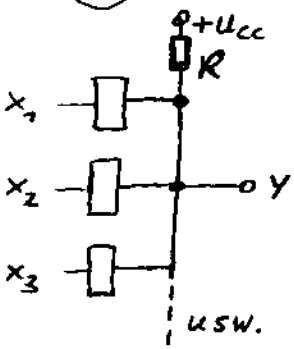
↳ er arbeitet als Pull-down-Transistor:
- verbindet Ausg. im leitenden Zustand mit GND
- hält Ausg. im gesperrten Zustand hochohmig offen



extern von A an +Ucc geschalteter Widerstand R liefert bei gesperrten OC-Ausgängen den Quellstrom I_{OH} und begrenzt bei leitendem Ausgangstransistor den Kollektorstrom

Vorteil: OC-Ausgänge sind parallelschaltbar!

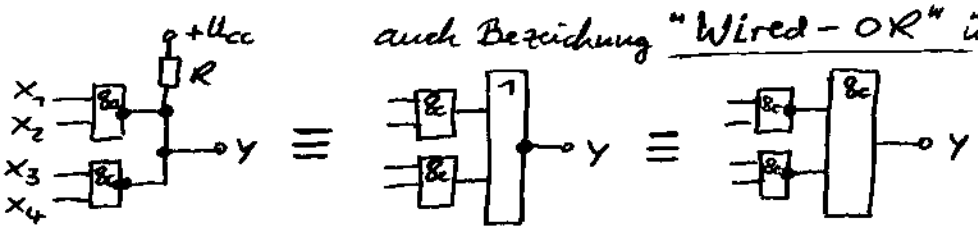
(!) Es entsteht eine zusätzliche "Wired-AND-Verknüpfung" (≙ "UND durch Verbinden")



$$\boxed{Y = x_1 \cdot x_2 \cdot x_3}$$

dh. Y nur "H", wenn alle x_i auf "H"

Bemerkung: auch Bezeichnung "Wired-OR" üblich:



$Y = \overline{x_1 \cdot x_2} \cdot \overline{x_3 \cdot x_4}$ $\xrightarrow{\text{de Morgan}}$ $Y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$

Parallelschaltg NAND-Fktn. → Zusammenfassung zu NOR-Fktn.

Anwendung für OC-Ausgänge:

- Wired-AND / OR-Verknüpfung
- Treiber für systemfremde Lasten mit höheren Strömen und für höhere Spannungen
- Erweiterung der Eingänge bei AND-Gattern
- Multiplexbetrieb, Anschaltung mehrerer Ausgänge an eine Sammelleitung

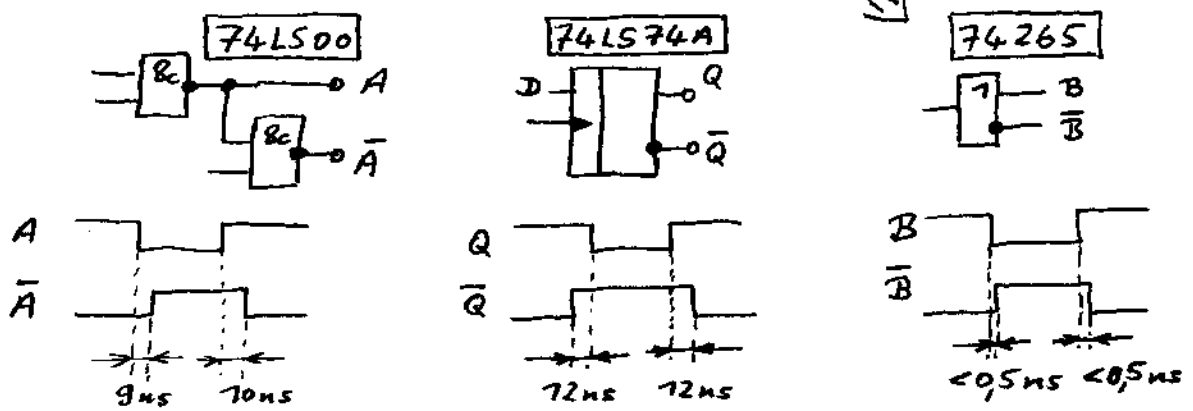
(kürzere Schaltzeiten allerdings mit Tristate-Ausgängen! mgl.)

(!) TTL-Typenspektrum enthält viele Schaltungsfunktionen sowohl mit TS- als auch OC-Ausgang!
(CMOS-IC's mit OC-Entsprechung gibt es nicht)

d.) Komplementärausgang

Oft sind zueinander negierte Ausgänge erforderlich, wobei zwischen den negierten Flanken < 1ns Laufzeitunterschied auftr. sollen

ZB:



Vgl: durch Negation — durch FF-Ausg. — durch Komplementärausgänge!

Zusammenschaltung von TTL-Gattern

"H"- und "L"-Potential vgl. Übertragungskennlinie(n) folg. Seite 14

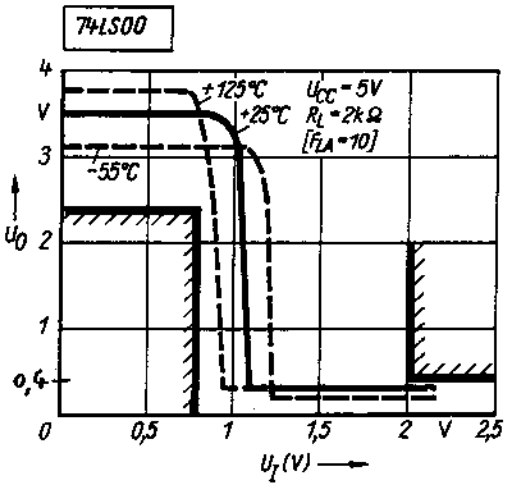
am Eingang: $U_I \leq 0{,}8V$ wird als "L", $U_I \geq 2{,}0V$ als "H" } gewertet

Index "I" ≙ "In" (dh. am Eingang)

am Ausgang: bei "L" ist $U_O \leq 0{,}4V$, "H" $U_O \geq 2{,}4V$ } am Ausgang

"O" ≙ "Out" (dh. am Ausgang)

TTL-Pegel (entspr. Standard) und Übertragungskennlinie



↓ Statischer (worst case-) Störabstand = Sicherheit für Pegelzustandserkennung.

für TTL: 0,4 V in beiden logischen Zuständen

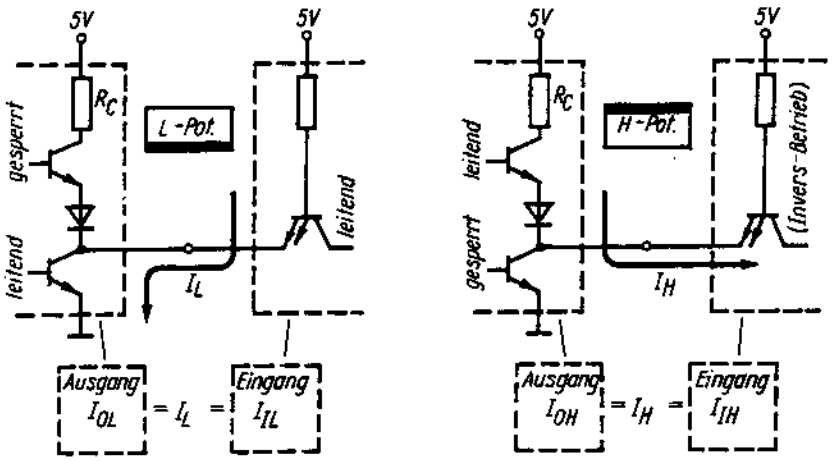
(ergibt sich aus der Differenz der standartmäßig definierten Pegel an Eingang und Ausgang bei "H" bzw. "L".)

	Standard	LS	ALS	
Umschaltpunkt (typ.)	1,4 V	1,3 V	1,5 V	= f(ϑ)
I_{IH} (bei U_{IH}) (typ.)	20 µA	12 µA	10 µA	Eingang auf "H"
I_{IL} (bei U_{IL}) (typ.)	1 mA	0,25 mA	0,12 mA	Eingang auf "L"

Beim 7400er Gatter ist der Eingangstransistor bei U_I = L leitend; dagegen wird er bei U_I = H invers betrieben.

Anschluß mehrerer Eingänge an einen Ausgang:

n-Eingangsströme = gesamter Laststrom I_0 des Ausgangs



Eingangs- und Ausgangsströme von TTL-Schaltungen bei Pot. L und bei Pot. H

zB: Ein 74LS00-Gatter kann bei U_0 = L maximal 8 mA aufnehmen und damit maximal

	20 Eingänge 74LS00	(mit je 0,4 mA)
oder	5 Eingänge 7400	(mit je 1,6 mA)
oder	4 Eingänge 74S00	(mit je 2 mA)
oder	40 Eingänge 74ALS00	(mit je 0,2 mA)

} i.a. geringere Anzahl sicher zu treibender Gatter bei Zustand "L"

treiben.

Das gleiche Gatter kann dagegen bei U_0 = H maximal 0,4 mA abgeben und damit maximal

	20 Eingänge 74LS00	(mit je 0,02 mA)
oder	10 Eingänge 7400	(mit je 0,04 mA)
oder	8 Eingänge 74S00	(mit je 0,05 mA)
oder	20 Eingänge 74ALS00	(mit je 0,02 mA)

} als bei Zustand "H"

Vgl.

treiben.

Der kleinere Wert ist zulässig für die Anzahl anschaltbarer Eingänge

⇒ **Def.: Lastfaktor F_{LA}** zur Vereinfachung der Betrachtung:

a) **Absolut:**

- für Eingänge $F_{LA} = 1$ (= TTL-Standardlast, 1 Eing.): bei $U_I = 2{,}4V$ fließt $I_I \leq 40\mu A$; bei $U_I = 0{,}4V$ –"– $I_I \leq 1{,}6mA$
- für Ausgänge (Fan-Out) $F_{LA} = 10$: Ausgang kann den jeweils 10-fachen Eingangsstrom treiben

Diese Angaben sind mit den Werten der Standardbaureihe TTL definiert!
Der Eingangs-F_{LA} gilt für alle TTL-Baureihen (↓ auch mgl. gebrochene Zahlenw.)

b) **Relativ:** Für jede Baureihe wird entsprechend Quell-/Senken-Strömen am Ausgang/Eingang ein Lastfaktor festgelegt.

Bem: Es gibt auch unterschiedliche Eingangs-F_{LA} für Clock-, R-, S-Eing.! innerhalb Baur. (zB.: 7474 (D-FF): D-Eingang $F_{LA} = 1$
C –"– 2
R –"– 3

Umrechnungen zwischen den Baureihen müssen über die Ströme vorgenommen werden.
Allg. sind Überschreitungen der F_{LA} um 20% i. d. Praxis unkritisch:

Zu Ausgangs-F_{LA} (relativ):

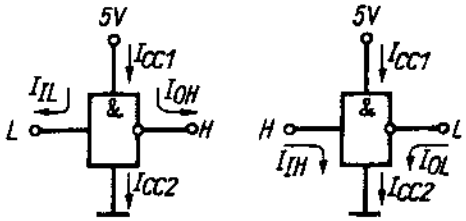
Tabelle: Anzahl der an einen TTL-Ausgang anschaltbaren TTL-Eingänge bei den verschiedenen Baureihen

TTL-Ausgang		Anschaltbare TTL-Eingänge (= Lastfaktor F_{LA})					
		74	74 LS	74 S	74 ALS	74 AS	74 F
74	Standard-Ausgang	10	20	8	20	8	20
	Buffer	30	60	24	60	24	60
74LS	Standard-Ausgang	5	20	4	20	4	13
	Buffer	25	60	20	60	20	60
74S	Standard-Ausgang	12	50	10	50	10	33
	Buffer	35	120	30	150	30	100
74ALS	Standard-Ausgang	5	20	4	20	4	13
	Buffer	15	60	12	120	12	40
74AS	Standard-Ausgang	12	50	10	100	10	33
	Buffer	30	120	24	240	24	80
74F	Standard-Ausgang	12	50	10	100	10	33
	Buffer	40	160	32	320	32	105

Speisestrom und Verlustleistung

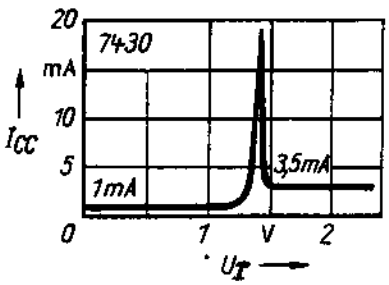
Tabelle Speise-, Eingangs- und Ausgangsströme für NAND-Gatter 7400 und Buffer 7440 bei den verschiedenen TTL-Baureihen

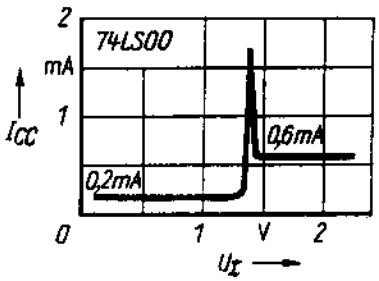
TTL-Baureihe (NAND-Gatter) (Buffer)	Speisestrom (je Gatter)				Eingangs-strom		Ausgangs-strom		Kurzschluß-strom
	I_{CCL} (U_O = L) mA typ.	max.	I_{CCH} (U_O = H) mA typ.	max.	I_{IL} mA max.	I_{IH} mA max.	I_{OL} mA max.	I_{OH} mA max.	I_{OS} mA max.
7400	3	5,5	1	2	1,6	0,04	16	0,4	55
74LS00	0,6	1,1	0,2	0,4	0,4	0,02	8	0,4	100
74S00	5	9	2,5	4	2	0,05	20	1	100
74ALS00	0,4	0,75	0,1	0,2	0,1	0,02	8	0,4	
74L00	1,04	0,51	0,11	0,2	0,18	0,01	3,6	0,2	15
74H00	6,5	10	2,5	4,2	2	0,05	20	0,5	100
74F00	1,17	2,6	0,47	0,7	0,6	0,02	20	1,0	150
7440	8,5	13,5	2	4	1,6	0,04	48	1,2	70
74LS40	1,5	3	0,22	0,5	0,4	0,02	40	1,2	130
74S40	12,5	22	5	9	4	0,1	60	3	225
74ALS40	1	1,6	0,215	0,4	0,2	0,02	24	2,6	
74H40	12,5	20	5,2	8	4	0,1	60	1,5	125

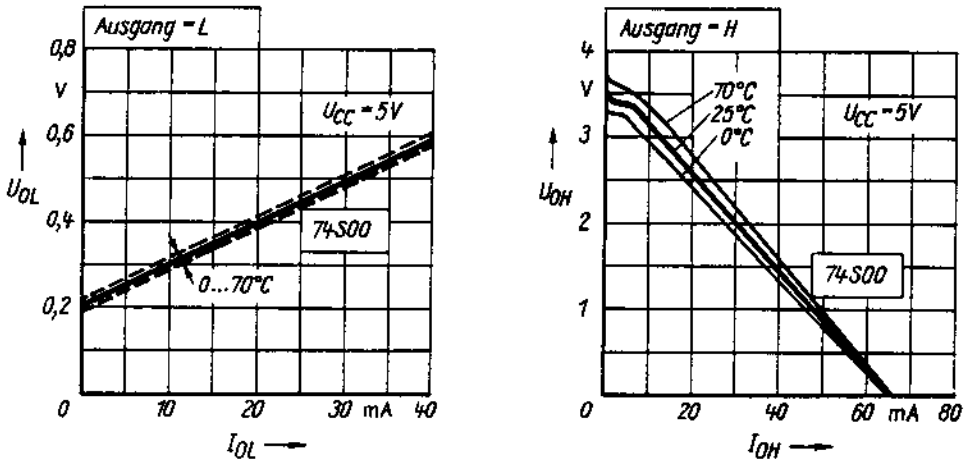


Statische Messung des Speisestroms I_{CC} an einem Gatter mit Berücksichtigung der Eingangs- und Ausgangsströme

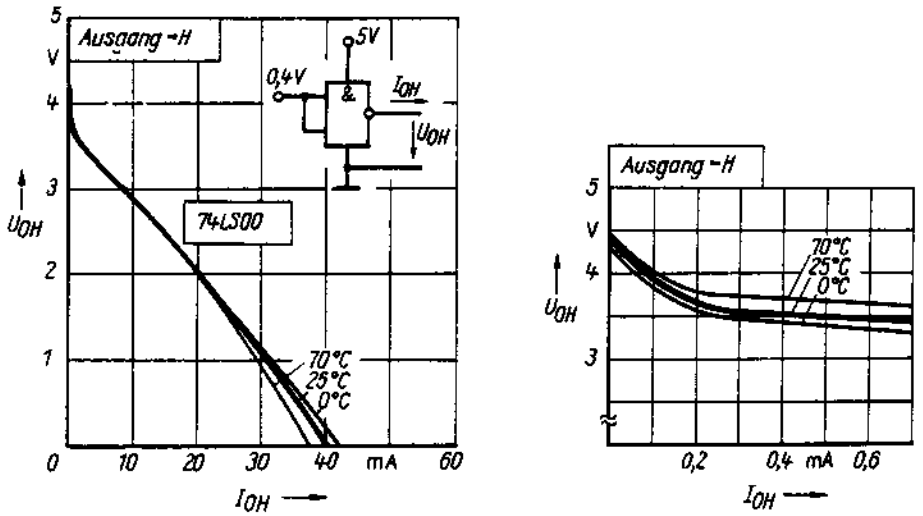
Stromspitzen am Umschaltpunkt: $U_I = U_S \approx 1{,}4\,V$







Ausgangskennlinien des Gatters 74S00 bei Pot. L und Pot. H am Ausgang



Ausgangskennlinien des Gatters 74LS00 bei Pot. H am Ausgang

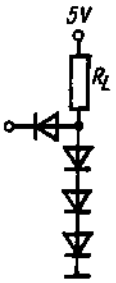


Abb. 1

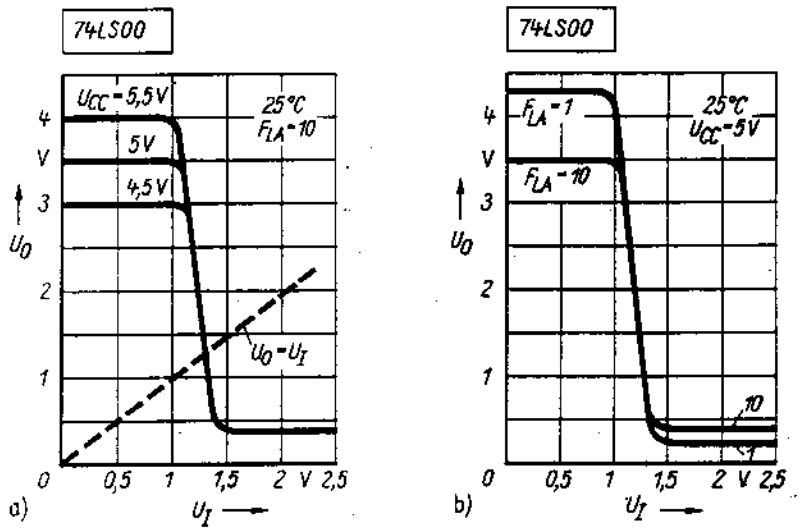


Abb. 2

Abb. 1 Statische Ersatzlast (Nachbildung der Lastfaktoren $F_{LA} = 1$ und $F_{LA} = 10$) für TTL-Baureihen

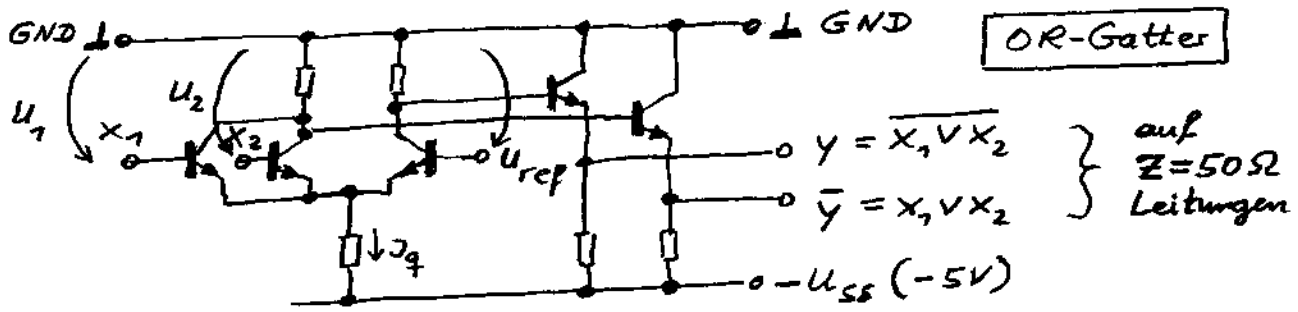
Abb. 2 Abhängigkeit der Übertragungskennlinie des NAND-Gatters 74LS00 von der Speisespannung U_{CC} (a) und vom Lastfaktor F_{LA} (b)

Tabelle 1 Eingangs- und Ausgangsströme von TTL-Schaltungen der Standard-, LS-, S-, ALS-, AS- und F-Baureihe

Schaltung	Ausgang	I_{IL} mA	I_{IH} mA	I_{OL} mA	I_{OH} mA
7400 (Standard)	TP	1,6	0,04	16	0,4
7440 (Buffer)	TP	1,6	0,04	48	1,2
74365 (Bus-Treiber)	TS	1,6	0,04	32	5,2
74LS00 (Standard)	TP	0,4	0,02	8	0,4
74LS40 (Buffer)	TP	0,4	0,02	40	1,2
74LS240 (Bus-Treiber)	TS	0,2	0,02	24	15
74S00 (Standard)	TP	2	0,05	20	1
74S40 (Buffer)	TP	4	0,1	60	3
74S240 (Bus-Treiber)	TS	0,4	0,05	64	15
74ALS/Standard	TP	0,2	0,02	8	0,4
/Buffer	TP	0,2	0,02	24	2,6
/Bus-Treiber	TS	0,2	0,02	24	15
74AS/Standard	TP	1	0,02	20	2
/Buffer	TP	1	0,02	48	15
/Bus-Treiber	TS	1,2	0,02	48	48
74L00 [40 k/(8 k)]	TP	0,18 (0,8)	0,01 (0,02)	3,6	0,2
74H00	TP	2	0,05	20	0,5
74H40	TP	4	0,1	60	1,5
74F/Standard	TP	0,6	0,02	20	1
/Buffer	TP	0,6	0,02	64	15

ECL – Technologie (Emitter gekoppelte Logik)

vermeidet Übersteuerung (↝ Sättigung) der BPTr.
↝ nur "aktiv normaler" Betrieb, keine Speicherladung!
kurze Schaltzeiten < 1ns mgl.



Differenzverstärkerprinzip mit Emitterfolgern
≙ Stromschaltlogik für J_q (Current mode logic)
↝ keine Stromsprünge auf Versorgungsleitungen!

Eingangssignale U_1, U_2 werden mit interner Referenz U_{ref} verglichen

Vorteil:
- Schaltzeiten < 1ns (bis 0,1 ns) / Grenzfrequ. $f_{gr} \leq 500$ MHz
- Leistungsaufnahme unabhängig von Schaltzuständen
- hohes Fan-Out (bis 25)
- symmetrische Ausgänge (komplementäres Signal verf.)

Nachteile:
- negative U_{SS} / 2 Speisespannungen erf.
- hohe Verlustleistung (10...50 mW/Gatter bzw. wegen niederohmiger R_i bis 80 W/cm²)
- kleiner Signalhub (≈0,8 V)

↝
Für Betrieb mit CMOS- bzw. TTL-IC's sind spezielle Pegelwandler erforderlich!

ECL war bis ≈1990 die Basistechnologie für Großrechner (Mainframes), hierzu IC's mit bis zu 10.000 Gattern (IBM, Siemens, Fujitsu)

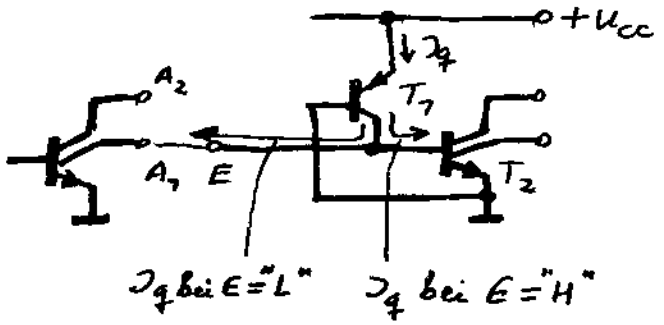
Inzwischen Ersatz durch anschlußkompatible GaAs-IC's

I^2L - Technologie (Integrierte Injektionslogik)

= MTL-Technik (merged* transistor logic), 1972 entwickelt

⇝ wesentlich einfachere Grundschaltung, ohne ohmsche Widerstände

Vorteile:
- nur 10% Flächenbedarf eines TTL-Gatters (300 Gatter/mm²)
- einfachere Herstellungstechnologie, Nutzung von Vertikaltransistoren
- geringe Verlustleistung (2% bzgl. TTL-Gatter)



T_1 ≙ Stromquelle
T_2 ≙ Schalter

eigentlich: stromgesteuerter Schalter!

Nachteile:
- gering dotierte BE, Transistoren in Sättigung
  ⇝ Schaltgeschwindigkeit < als TTL
- Integrationsgrad < als CMOS-IC's
  (Einsatz für erste LSI-Schaltungen)

* merged ... ≙ verschmolzene ...

MOS- und CMOS-Technologien

Erste MOS-IC's waren p-Kanal-Technologien (beherrschbar war selbstsperrender p-MOSFET)

↳ **pMOS-Hochvolttechnik:** bis 1975

$U_{CC} = -25V \ldots -30V$ (hohe $U_t \approx -5V$)

Metallgate aus Al, langsam (große C_{DS})

Ab ca. 1975 selbstleitende / selbstsperrende n-Kanal MOSFET's beherrschbar

↳ **pMOS-Niedervolttechnik:**

$U_{CC} = -8V \ldots -13V$ (Ionenimplantation)

enthält Verarmungs- und Anreicherungstyp auf einem Chip

Verlustleistung nur 10% der Hochvolttechnologie

und ↳ **nMOS-Silicon-Gate-Technologie (NSGT):**

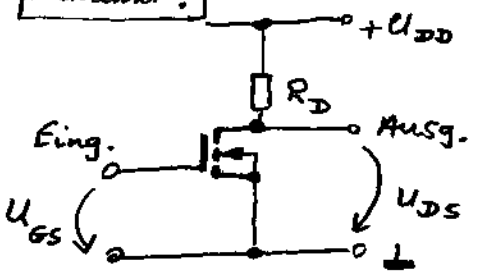
Gate-Kontakt aus dotiertem polykristallinen Si, geringere U_t

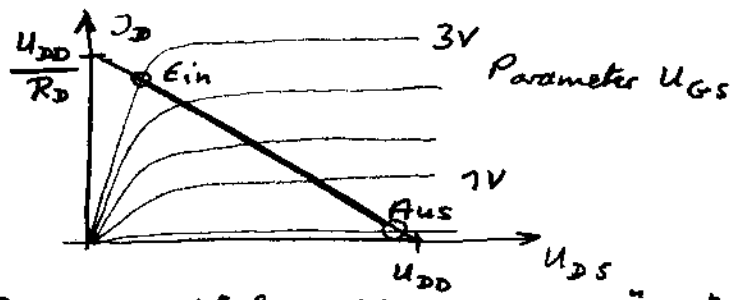
$U_{CC} = +5V$ (TTL-kompatibel)

$f_T \leq 100\,MHz$

für erste µP, 50 ns-Speicher verwendet (bis ≈ 1985)

bekannt:

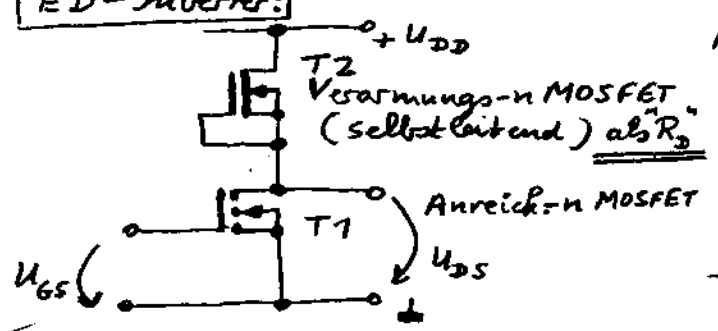


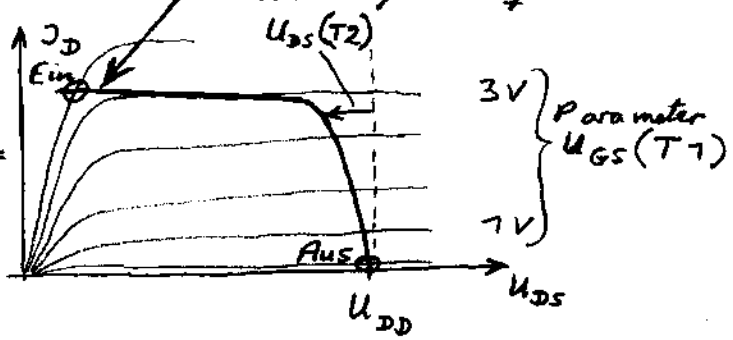


Problem: Platzbedarf für R_D und Verlustleistung P_{R_D} bei "Ein", große Zeitkonstante beim Abschalten (für klein)

(!) Kennlinie von T2 bildet Arbeitskennl.: hochohmiges Stromquellenverhalten

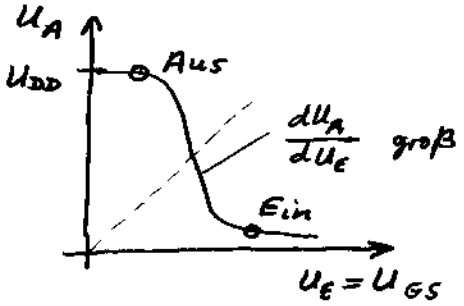
ED-Inverter:





E - Enhancement = Anreicherungs-Typ
D - Depletion = Verarmungs-Typ

Übertragungskennlinie ED-Inverter:

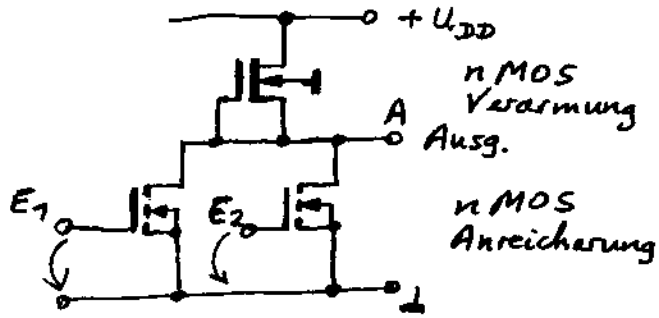


Bei $U_{GS} = 0$ ist Verarmungstyp T2 ausreichend leitend

Für kleine ΔU_{GS} wirkt nur der differentielle Widerstand des Lasttransistors, dieser >> ohmscher Wid.!

↳ höhere Spannungsverstärkung im AP.

Anwendung: Grundgatter

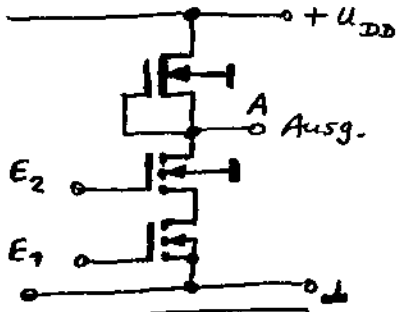


NOR-Gatter

E_1	E_2	A
T	T	H
H	T	T
T	H	T
H	H	T

$$A = \overline{E_1 + E_2}$$

Parallelschaltung mehrerer Eingangstransistoren mgl. (nur Erhöhung der Ausgangskapazität)



NAND-Gatter

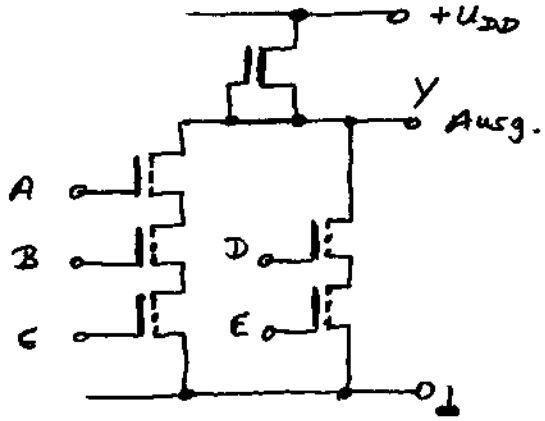
E_1	E_2	A
T	T	H
H	T	H
T	H	H
H	H	T

$$A = \overline{E_1 \cdot E_2}$$

Reihenschaltung nur bis zu 4 Eingangstrans. mgl.!
(wegen Potentialerhöhung an Source von "unten nach oben" infolge $n \cdot U_{DSrest}$)

↳ für $n > 4$ Eingänge mehrstufige Logik erf.!

Kombination ermöglicht sog. **Komplexgatter:**



$$Y = \overline{A \cdot B \cdot C + D \cdot E}$$

Bem: Eliminierung der Negation durch nachgeschalteten Inverter! mgl.

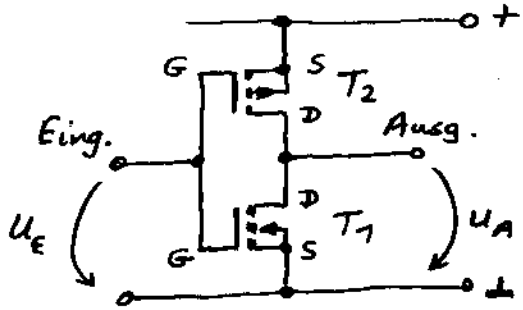
Probleme der nMOS-Technologie:

- Aufnahme eines statischen Ruhestroms im ausgangsseitigen "L"-Zustand ↝ Verlustleistung!
- Abhängigkeit der Schaltzeiten / -charakteristik von der jeweiligen Belastung am Zellenausgang
  ↳ problematisch bei Kombination vorentworfener Zellen (Semi-custom-Entwürfe)

Deshalb Entwicklung der

CMOS-Technologie (Complementary MOS)

Ersetzen des passiven Lasttransistors durch einen aktiven p-Kanal-Anreicherungs-MOSFET.
Ansteuerung mit dem selben Eingangssignal bei komplementärer Charakteristik zum "unteren" Transistor:



⟸ p-Kanal Anreicherungs-Typ (Enhancement-) — "pull-up" Transistor

⟸ n-Kanal Anreicherungs-Typ (Enhancement-) — "pull-down" Transistor

Die Substrate beider MOSFET's müssen durch "Wannen", an deren Rändern gesperrte pn-Übergänge entstehen, elektrisch getrennt werden! (ex. n- oder auch p-Wannen-Technologie)

Funktion:

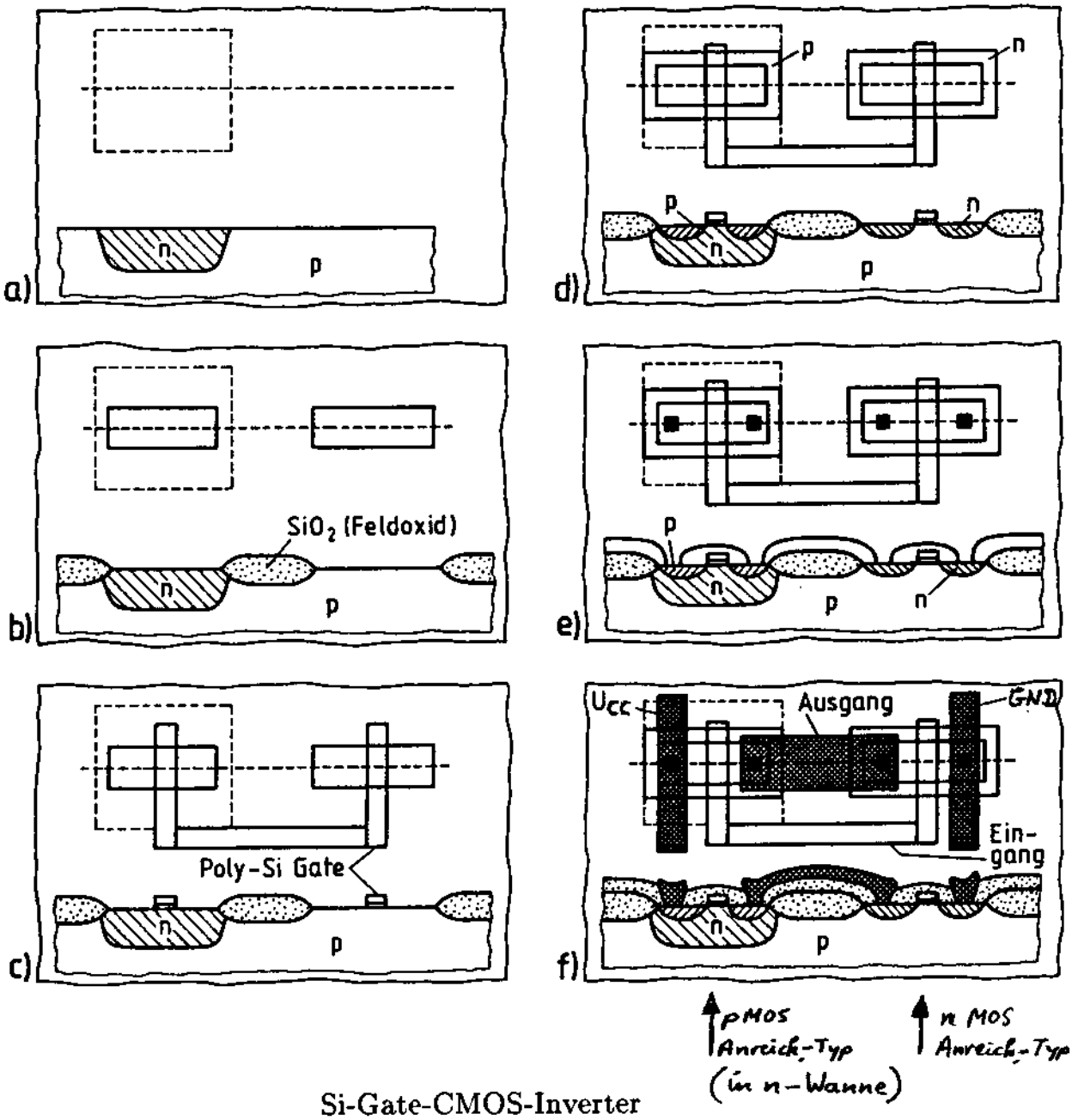
Schwellspannungen des pMOS-Anreich.-Typs bei $U_{tp} = -1{,}5\,V$
des nMOS-Anreich.-Typs bei $U_{tn} = +1{,}5\,V$
↳ "selbstsperrend"!

Für $U_E > U_{tn}(T_1)$: T_1 leitend

Für $U_E < U_{cc} - |U_{tp}(T_2)|$: T_2 leitend

(!) Im Bereich $U_{tn} \leq U_E \leq U_{cc} - |U_{tp}|$ sind beide Tr. leitend!
dabei fließt ein Querstrom $< 6{,}6\,mA$ ($U_{cc} = 15\,V$)
$< 2{,}2\,mA$ ($U_{cc} = 10\,V$)

Bem: Vereinfachte Betrachtung: MOSFET's als gesteuerte Widerstände
bei "Ein": $R_{DS} \approx 500\,\Omega$
bei "Aus": $R_{DS} \approx 2\,M\Omega$



Si-Gate-CMOS-Inverter

a) Herstellung der n-Wannen (M1)
b) Definition der Transistorflächen (M2)
c) Poly-Si-Gate (M3)
d) Definition der Diffusionsgebiete (M4, M5)
e) Definition der Kontaktlöcher (M6)
f) Definition der Metallverbindungen (M7)

Spannungsabfall über dem jeweils leitenden Transistor ca. 7mV
(Reststrom im nA-Bereich)

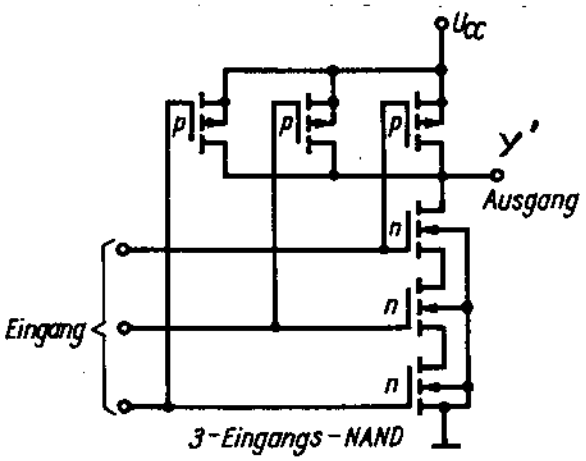
↳ Ausgangspegel "H" $\approx +U_{CC}$
"L" ≈ 0
} praktisch unabhängig von Anzahl angeschalteter Eingänge!

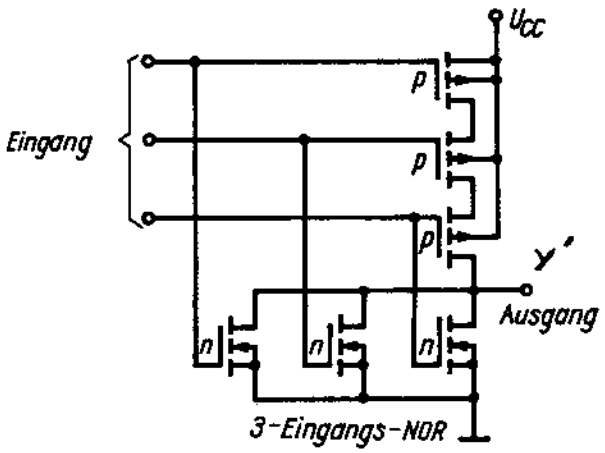
Bewertung der Eingangspegel: "JEDEC-Standard":
Eingang bewertet U_E als "H" für $U_E \geq 0{,}7 \cdot U_{CC}$
"L" für $U_E \leq 0{,}3\, U_{CC}$
Statischer Störabstand steigt mit $U_{CC}\uparrow$, typisch: $0{,}35 \ldots 0{,}45 \cdot U_{CC}$

Übertragungskl.
Querstrom

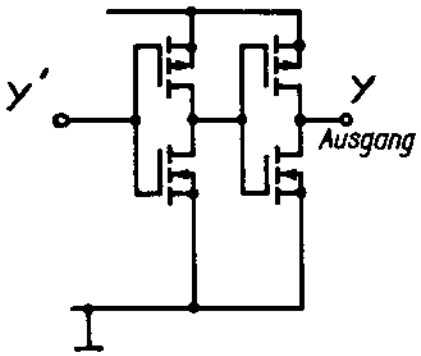
Anwendung: Grundgatter

(!) Zu jedem n-Kanal MOSFET muß (jeweils vom selben Eingang angesteuert) ein p-Kanal-Typ in Reihe zur Betriebsspannung geschaltet sein.
Nur damit sind "stromloser" Betrieb in den 2 logischen Zuständen sowie definierte Potentiale im DC erreichbar!



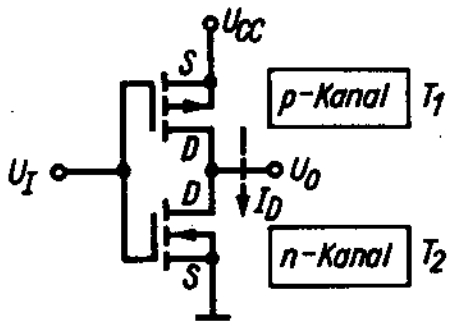


Schaltungsaufbau (Logikteil) eines CMOS-NAND- und eines CMOS-NOR-Gatters



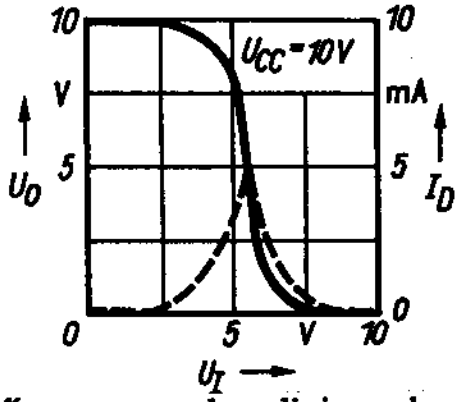
nachgeschalteter Ausgangspuffer: "B-Reihe"
- versteilert Übertragungskennlinie
  ↳ Störabstand ↑
- steilere Ausgangsimpulsflanken
- Entkopplung zwischen Eingang (Logikstufe) und Ausgang

(ist heute Standart!)



U_I	T_1	T_2	U_O
L	leitend	gesperrt	H
H	gesperrt	leitend	L

CMOS-Negator als logisches Element für CMOS-Schaltungen



Übertragungskennlinie und Stromaufnahme (Querstrom)

Vergleich CMOS-4000B-Reihe – TTL

CMOS-Schaltungen weisen im Vergleich zu TTL-Schaltungen (vor allem zur 74LS-Reihe) folgende *Vorteile* auf:

1. nahezu rechteckförmige symmetrische Übertragungskennlinie;
2. größerer statischer Störabstand (der mit U_{CC} anwächst, typisch 35 ··· 45% von U_{CC});
3. größere Störsicherheit gegenüber induktiv eingekoppelten Störungen;
4. symmetrische Impulsflanken ($t_{LH} = t_{HL}$);
5. gleiche Verzögerungszeiten ($t_{PLH} = t_{PHL}$);
6. größerer Speisespannungsbereich (3 ··· 15 V);
7. extrem niedriger Leistungsbedarf im Ruhezustand (µW- oder nW-Bereich);
8. unempfindlicher gegen ungeregelte oder verbrummte Speisespannung;
9. geringerer Leistungsbedarf bei Frequenzen bis 2 ··· 8 MHz;
10. durch hochohmigere Eingänge (MΩ-Bereich) höherer Lastfaktor möglich;
11. geringere Temperaturabhängigkeit der Kennwerte;
12. größerer Umgebungstemperaturbereich;
13. integrierte Eingangsschutzdioden nach U_{CC} und Masse;
14. Reduzierung der Leistungsaufnahme durch optimale Wahl von U_{CC}, Frequenz und C_L möglich;
15. durch relativ lange Impulsflanken Impulsübertragung auf Leitungen bis in den m-Bereich ohne spezielle Maßnahmen möglich (entfällt bei der 74HC-Serie).

Diesen Vorteilen stehen folgende *Nachteile* gegenüber:

1. größerer Ausgangswiderstand ($R_i = 0{,}5 \cdots 1$ kΩ);
2. größerer Einfluß von C_L und Impulsfrequenz auf Verzögerungszeit, Impulsflanken und Leistungsaufnahme (infolge R_i);
3. größere Verzögerungszeiten und längere Impulsflanken;
4. größerer Streubereich für alle Kennwerte (auch von Hersteller zu Hersteller).

Tabelle: Kennwertevergleich von CMOS- und TTL-Schaltungen

Kennwerte bei $\vartheta = 25\,°C$			CMOS								TTL		
			HEF 4000 B			74					74		
						HC	HCT	AC	ACT		LS	ALS	F
U_{CC}	V		5	10	15	5		5			5		
Eingangsspannung in V	U_{IL}	max.	1,5	3	4	1	0,8	1,35	0,8		0,8	0,8	0,8
	U_{IH}	min.	3,5	7	11	3,5	2	3,5	2		2	2	2
Ausgangsspannung in V	U_{OL}	max.	0,05	0,05		0,1		0,1			0,5	0,5	
	U_{OH}	min.	4,95	9,95	14,95	4,9		4,9			2,7	2,7	
	(I_O)			(< 1 µA)		(< 20 µA)		(< 20 µA)				(< 1 µA)	
Ausgangsstrom in mA	I_{OL}	min.	0,44	1,1	3	5		24			8	8	20
	(U_{OL} in V)		(0,4)	(0,5)	(1,5)	(0,4)		(0,3)			(0,5)	(0,5)	(0,5)
	I_{OH}	min.	0,44	1,1	3	5		24			0,4	0,4	1
	(U_{OH} in V		(4,6)	(9,5)	(13,5)	(4,2)		(4,3)			(2,7)	(2,7)	(2,7)
Statischer Störabstand in V	$U_{IL} - U_{OL}$		2,2	4,5	6,7	0,6	0,4	1	0,5		0,3	0,3	0,3
	$U_{IH} - U_{OH}$ [1)]		2,2	4,5	6,7	0,7	2,2	0,8	2,3		0,7	0,7	0,7
Speisestrom je Gatter in µA	I_{CCL}	typ.	1	2	4	0,5		0,5			600	400	1700
	I_{CCH}	typ.	1	2	4	0,5		0,5			200	100	470
Leistungsaufnahme je Gatter in mW	1 MHz	typ.	0,7	1,8	3,7	1		0,8			2	1,25	4
	5 MHz	typ.	3,5	9	18,5	5		4			3	2	5
$C_L = 8 \ldots 15$ pF	10 MHz	typ.	7	18	37	10		8			4,5	3	8
Verzögerungszeit je Gatter in ns (15 pF)	t_{PLH}	typ.	35	16	13	8					9	4	2,6
	t_{PHL}	typ.	16	13	11,5	8					10	5	2
(50 pF)	t_{PLH}	typ.	60	25	20	10		5			8	4,5	3,5
	t_{PHL}	typ.	35	20	17	10		4			9	5,5	3,2

Ungünstiger gegenüber nMOS:

- höhere Anzahl an erford. Transistoren (je Eingang 2 FET's)
- damit auch höhere kapazitive Lasten (Faktor 3...4)
  wg. größerem pMOSFET infolge geringerer p-Beweglichkeit

Ausgänge von CMOS-IC's

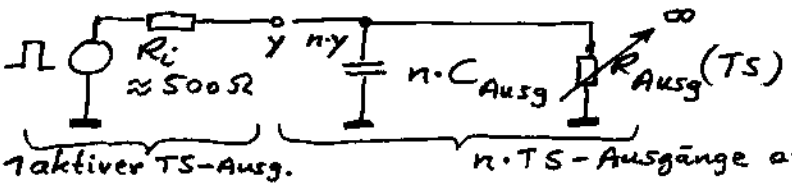
- gepufferte Ausgänge (zB. 45000 B) nach JEDEC-Standard
- Tristate-Ausgänge (beide Ausg.-transistoren gleichzeitig gesperrt, Prinzip wie bei TTL)
- nicht angewendet werden OC-ähnliche Ausgänge!

Anzahl parallelschaltbarer Ausgänge (Tristate):

Ruhestrom eines Ausgangs ≈ 200 nA unwesentlich
Maßgeblich ist die kapazitive Last, die die Verzögerungszeit erhöht!

Praktisches Beispiel: An einer Busleitung wurden 10 bis 100 Tristate-Ausgänge der CD4000-Reihe angeschaltet, die folgende mittlere Verzögerungszeiten (einschließlich Laufzeit auf dem Bus) ergaben:

U_{CC}	10 Ausgänge	20 Ausgänge	50 Ausgänge	100 Ausgänge
5 V	360 ns	520 ns	1 µs	1,8 µs
10 V	140 ns	220 ns	460 ns	860 ns
15 V	80 ns	110 ns	210 ns	370 ns



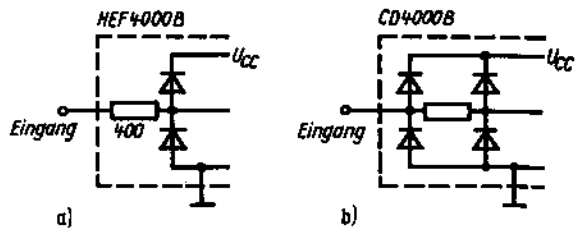
Ersatzschaltbild

CMOS-Eingänge

Eingangs-Widerstand $10^{12} \ldots 10^{15}\,\Omega$ ≙ $I_{Eing} \approx 1\,pA$

↓ Gefahr elektrostatischen Durchschlags ⇒ Zerstörung des IC's.

Anwendung von Eingangsschutzschaltungen:



Diodenspitzenstrom ≤ 10 mA zulässig

allerdings auch Verringerung des Gattereingangswiderstands um Faktor 0,01

Integrierte Eingangsschutzschaltung der a) HEF4000-Reihe (2 Begrenzungsdioden mit Widerstand zum Schutz vor statischen Aufladungen und vor Stromspitzen); b) der CD4000-Reihe

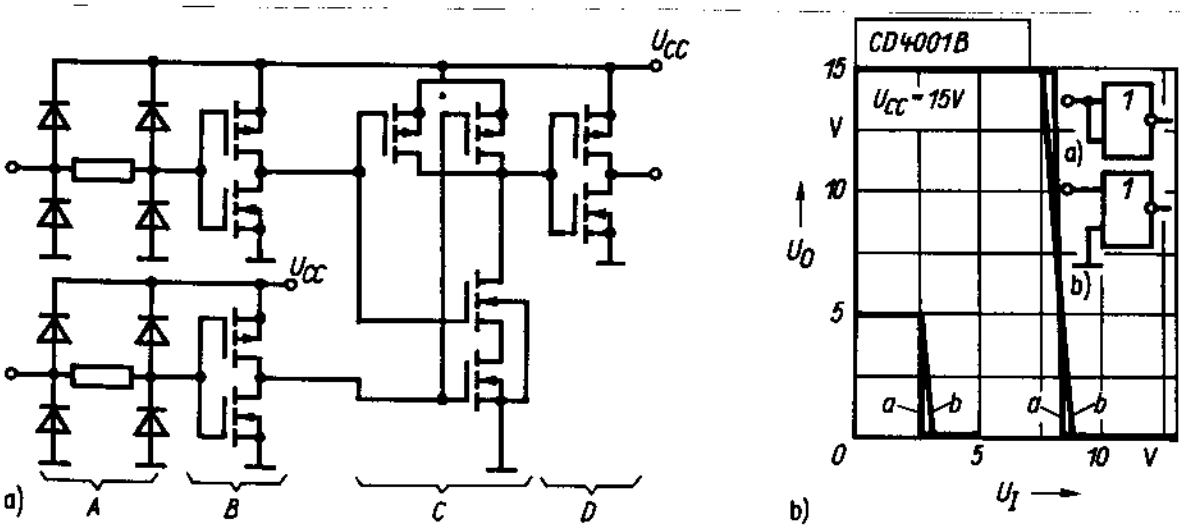


Abb. 2-Eing.-NOR CD4001B [43]. a) Schaltung (A Eingangsschutzschaltung, B Negator als Eingangspuffer, C Logikteil, D Negator als Ausgangspuffer); b) Übertragungskennlinien bei 5 und 15 V

Tristate-Ausgang

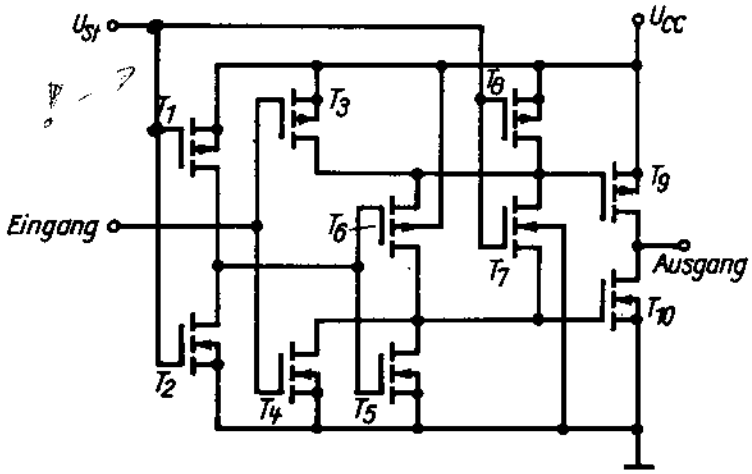


Abb. 1

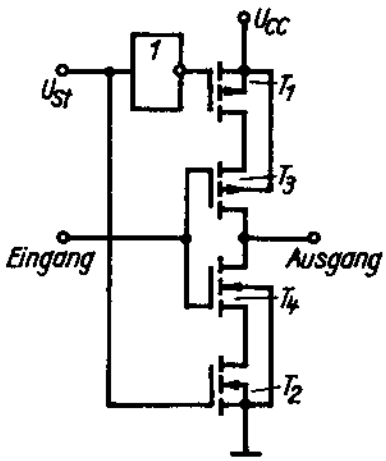


Abb. 2

Abb. 1 Tristate-Ausgang der LOCMOS-Reihe HEF4000B

- Abb. 2: Tristate-Ausgang der CMOS-Reihe MC14000B Bei U_{St} = H sind T1 und T2 leitend so daß T3 und T4 als Negator arbeiten. Bei U_{St} = L sind T1 und T2 gesperrt, so daß der Ausgang hochohmig gegen Masse und gegen U_{CC} ist

- Abb. 1:
  1. Bei U_{St} = H ist der Gatterausgang aktiviert und funktioniert als normaler CMOS-Ausgang. T6 und T7 arbeiten als Transmissionsgatter nach Abb. 8.7a, das leitend ist und die Gates von T9 und T10 miteinander verbindet, so daß sie auf gleichem Potential liegen. Von den zueinander komplementären Transistoren T9 und T10 ist dadurch immer einer leitend und einer gesperrt.
  2. Bei U_{St} = L ist das Transmissionsgatter T6/T7 gesperrt, so daß die Gates von T9 und T10 entgegengesetztes Potential haben: Durch T8 wird das Gate von T9 auf Pot. H und durch T5 das Gate von T10 auf Masse gezogen. T9 und T10 sind beide gesperrt, und der Tristate-Ausgang ist hochohmig ($>10^9\,\Omega$) nach Masse und nach U_{CC} („dritter Zustand").

Max. Eingangsspannungs-Bereich: $-0{,}5\,V \ldots (U_{CC}+0{,}5)\,V$
(= absoluter Grenzwert!)

Bei deren Überschreiten tritt "Latch-up-Effekt" auf
≙ Zünden einer Thyristorstruktur, bestehend aus parasitären bipolaren npn- und pnp-Sperrschichten.
Sofern keine "allseitige" Strombegrenzung auf ≤ 10 mA vorgesehen ist ⟹ Thermische Zerstörung des IC! bei ×100 mA für I_{CC}.

Eingangskapazität ≤ 7,5 pF

Unbenutzte Eingänge

(!) niemals offen lassen, da undefiniertes Potential ("schwebend")

↳ NAND-Eingänge auf $+U_{CC}$
NOR- -"- auf ⊥ } legen

Eingänge an Steckverbindern immer über (0,7...1) MΩ an U_{CC}/⊥ legen.

Anzahl an Ausgang anschaltbarer Eingänge

Bem: Bei TTL-IC's verschiebt der Laststrom die Pegel am Ausgang (Ein F_{LA} wird so definiert, daß die Pegelgrenzen eingehalten werden)
Bei CMOS-IC's spielen für Lastfaktoren die Pegel keine Rolle, da sie statisch immer eingehalten werden!

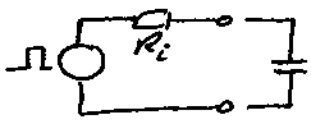
Ausgangsströme treten hier nur während der Impulsflanken auf – beim Umladen der kapazitiven Last der Eingänge!

Nur max. Verlustleistung im Treiberausgang begrenzt die Anzahl anschaltbarer CMOS-Eingänge

$$P_{V\,max} = f\,(C_{Eing},\ f_T,\ U_{CC})$$

allg. zulässig ist $P_{V\,max}$/Gatter ≈ 20...100 mW

(ZB:) umgesetzte Energie in ⊓⊔ – Zyklus:

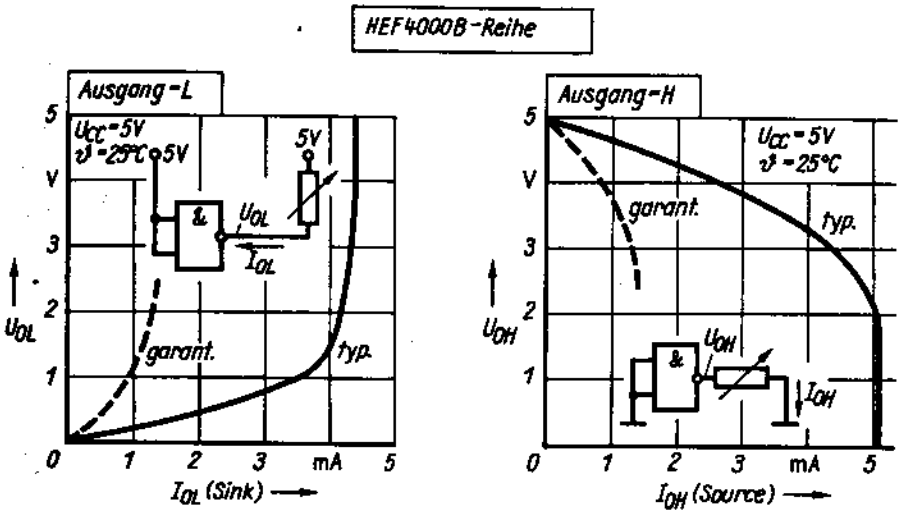


mit Energie $W_c = \dfrac{C \cdot U_{CC}^2}{2}$ (für eine Flanke)

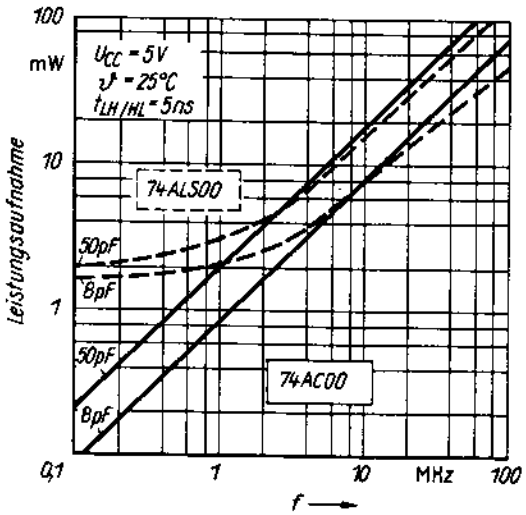
$$\curvearrowright \boxed{P_V = \frac{W_c}{t} = W_c f_T = C_{Eing} \cdot U_{CC}^2 \cdot f_T}$$

Zusätzlich entsteht P_V infolge Querstrom während der Umschaltflanke $= f\,(f_T,\ U_{CC})$

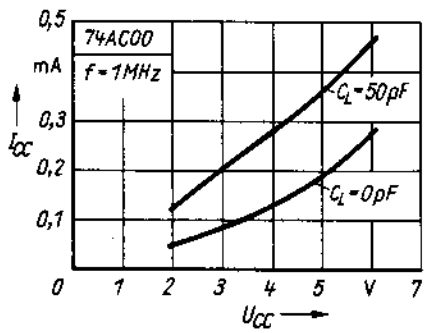
bzw: $$C_{E\,max} = \frac{P_{V\,max}}{U_{CC}^2 \cdot f_T}$$ max. zulässige kapazitive Last für Gatterausgang



Ausgangskennlinien der CMOS-Reihe HEF4000B (mit Ausgangspuffer) bei $U_{CC} = 5$ V



Leistungsaufnahme eines Gatters 74AC00 und 74ALS00 in Abhängigkeit von der Impulsfrequenz (beide Eingänge jeweils beschaltet)



Speisestrom I_{CC} eines Gatters 74AC00 in Abhängigkeit von der Speisespannung U_{CC} bei $C_L = 50$ pF und bei offenem Ausgang (Streukapazitäten)

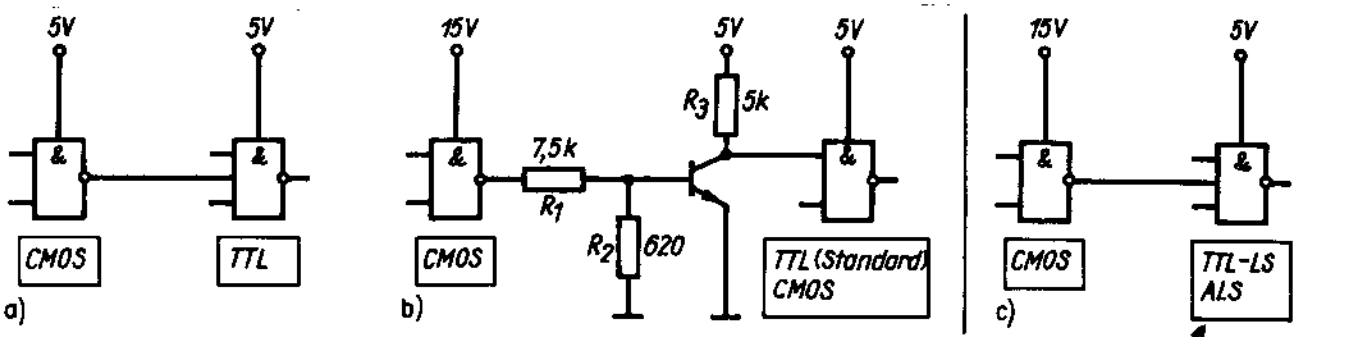
Dh. bei CMOS: linearer Anstieg P_V mit Impulsfrequenz

zB: für $f_T < 3 \ldots 8$ MHz ist P_V(CMOS) < P_V(74 ALS)
↑zB. 74HC... ↑bipolar

Bem: 74HC-Reihe ist pin- und funktionskompatibel zu TTL-Reihen (zB. 74HC00) oder zu CMOS-Reihen (zB. 74HC4002)
74AC-Reihe ist Weiterentwicklung ($0{,}3 \cdot t_V$; $6 \cdot I_0$ (24mA))

Pegelanpassung CMOS → TTL

Problem: verschiedene Speisespannungen Ziel: höhere Treiberströme



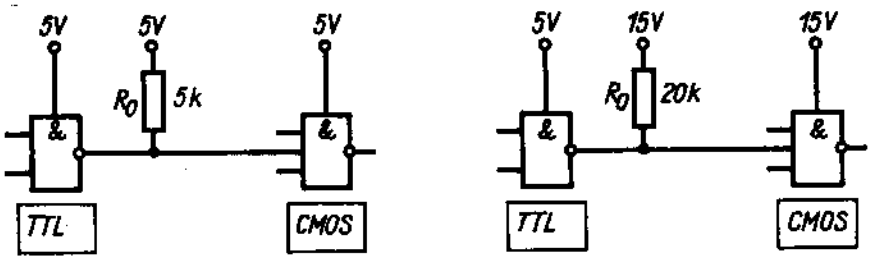
Anschaltung von TTL-Eingängen an CMOS-Ausgänge

hier Spannungsfeste Eingänge!

Tabelle Anzahl der an einen CMOS-Ausgang anschaltbaren TTL-Eingänge

CMOS-Ausgang (U_{CC} = 5 V)	Anzahl der anschaltbaren TTL-Eingänge							
	74 Standard		74LS		74S		74ALS	
	gar.	typ.	gar.	typ.	gar.	typ.	gar.	typ.
HEF 4000 B-Standard	–		1		–		2	
HEF 4000 B-Treiber	1		5		1		10	
74 HC-Standard	2	4	10	20	2	4	20	40
74 HC-Bus-Treiber	4	8	15	30	3	6	30	60

Übergang TTL → CMOS



Anschaltung von CMOS-Eingängen an TTL-Ausgänge

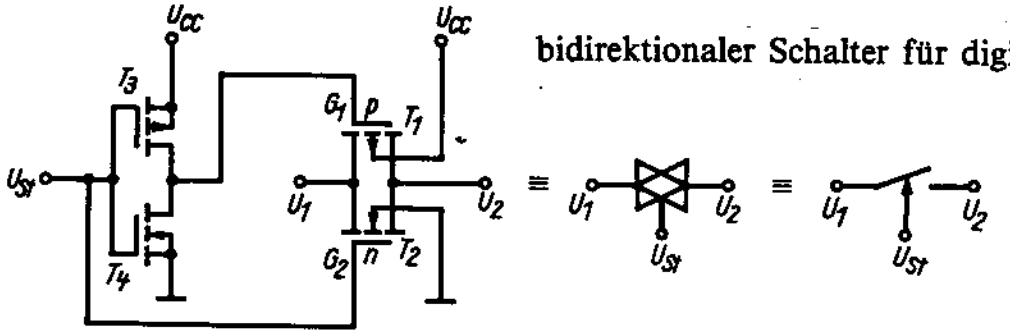
Zur Erhöhung des TTL-H-Pegels (U_{OH} = 3,5 V) wird ein "pull-up-Widerstand" R_0 zugeschaltet!

CMOS-Transmissions-Gatter

ist Schalter, der digitale (analoge) Signale in beiden Richtungen übertragen bzw. sperren kann. Enth. 2 komplementäre FET's

– keine Pegelregenerierung, nur niederohmige Verbindung bzw. hochohmige Trennung

↯ mit steigender Anzahl hintereinandergeschalteter Transm.gatter verschlechtert sich der Störabstand!



bidirektionaler Schalter für digitale Signale.

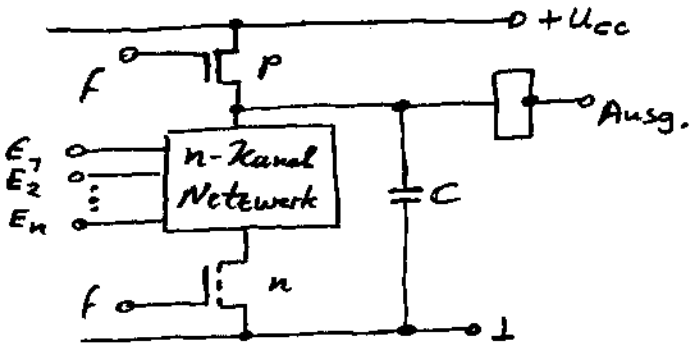
$R_{DS\,on} \approx 300\,\Omega$

$R_{DS\,off} > 1\,G\Omega$

Abb. Transmissionsgatter (T1 und T2) mit Ansteuerung über einen Negator (T3 und T4) in CMOS-Technik [2]. Die Strecke $U_1 - U_2$ ist bei $U_{St} = U_{CC}$ für Ströme in beiden Richtungen leitend und bei $U_{St} = 0$ V gesperrt

Bem: Dynamische CMOS-Logik

Versuch zur Eliminierung der komplementären p-Kanal-MOSFET's.



"Domino-Logik"

Takt f steuert Regime:

zunächst (f = L) p MOSFET leitend ↯ C wird auf +U_{CC} geladen

danach (f = H) n MOSFET leitend ↯ n-Kanal-Netzwerk bewirkt Ladung auf C oder entlädt C

(=) Ausgangssignal

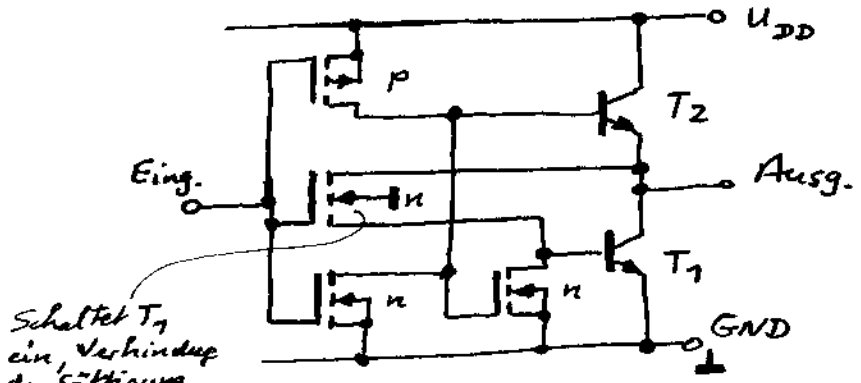
Problem: zeitserielle Taktung der Gatter ... (≙ "fallende Dominosteine")

Bem: BICMOS-Logik

Verbindet CMOS- (hohe Integrationsdichte, wenig Prozeßschritte, geringster Leistungsbedarf) ↯ Logikstufen

mit Bipolar-Technologie (kann hohe Ströme treiben zB. für größere Bus-Systeme bzw. Verbindungsnetze) ↯ Treiber-/End-Stufen

ZB: TTL-kompatible 74BCT-Serie:



verwendet als Bus-Treiber, invertierend (f. große Verbind.-netze, bzw. viele Eingänge, wie SRAM-Felder)

BICMOS-Inverter

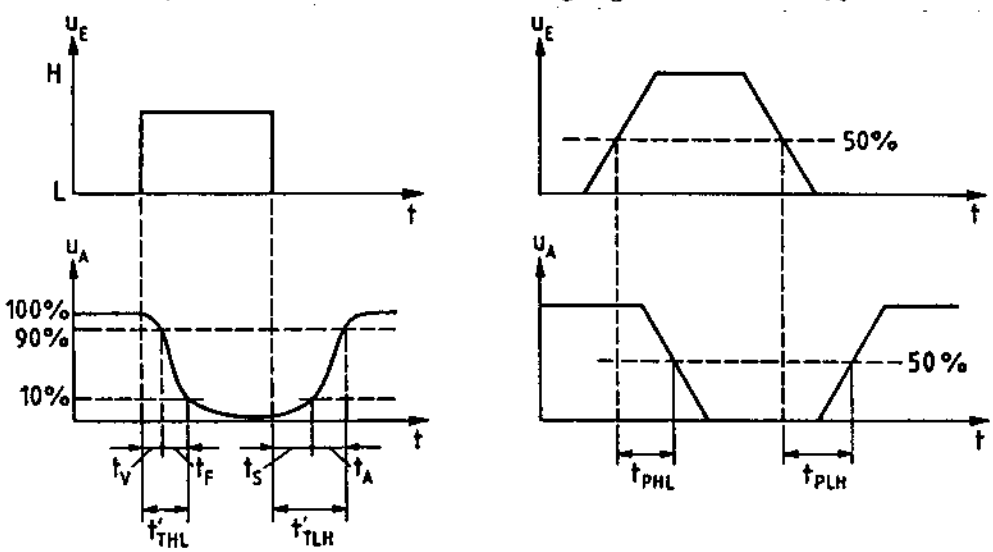
treibt insbesondere kapazitive Lasten, da niederohmiger Ausgang!

Dynamische Eigenschaften von Schaltkreisen

Standart-Testsignal für Grundelemente ist der Eingangs-Spannungs-Sprung (Rechtecksignal mit ∞-steilen Flanken)

↓ zeitlich verzögertes Ausgangssignal mit endlicher Flankenanstiegszeit am Gatterausgang:

Impulsformen am Ein- und Ausgang eines Inverters:



"Meßtechnik-Definition"

Definition der Signalübertragungszeiten (transition-time)	Verzögerungszeiten (propagation-delay-time)
Impuls-Abfallzeit $t_{THL} = t_F$ - Anstiegszeit $t_{TLH} = t_A$ entsprechend 10%- und 90%-Grenzen der Schaltamplitude Bem: mitunter Einschluß der Verzögerungszeit t_V ↷ t'_{THL} und t'_{TLH}	Impuls-Verzögerungszeit für beide Flanken t_{PHL} und t_{PLH} wird auf 50%-Wert der Schaltamplitude bezogen (meßtechnischer Vorteil!) oft: $\overline{t_p} = t_p = \frac{t_{PHL} + t_{PLH}}{2}$ genutzt

Praktische Werte für Anstiegszeiten und Verzögerungszeiten:
≈ 1...10 ns für CMOS- u. TTL -IC's
< 1 ns für ECL- u. GaAs -IC's

Verzögerungszeit-Leistungs-Produkt

- statische Verlustleistung (TTL: $P_v = 2...20\,mW$, CMOS: $P_v < 1\,\mu W$)
- dynamische -"- (infolge Querstrom beim Schalten und Umladen der Lastkapazitäten frequenzabhängig!)

Hochintegrierte IC's müssen in leistungsarmer Technologie ausgeführt werden (darüber die Gehäuse nur wenige Watt Verlustleistung abführbar...)

↓ "Gütemaß" einer Technologie: $\boxed{\text{Verzögerungszeit-Leistungs-Produkt} \quad t_p \cdot P_v \rightarrow min!}$

auch: "Power-Delay-Product"
"Speed-Power-Product"

Angabe in pJ (Picojoule); bei CMOS frequenzabhängig / kHz

ZB: aktuelle TTL-Reihen: 6...30 pJ
-"- CMOS-Reihen: 0,002... 0,03 pJ / kHz

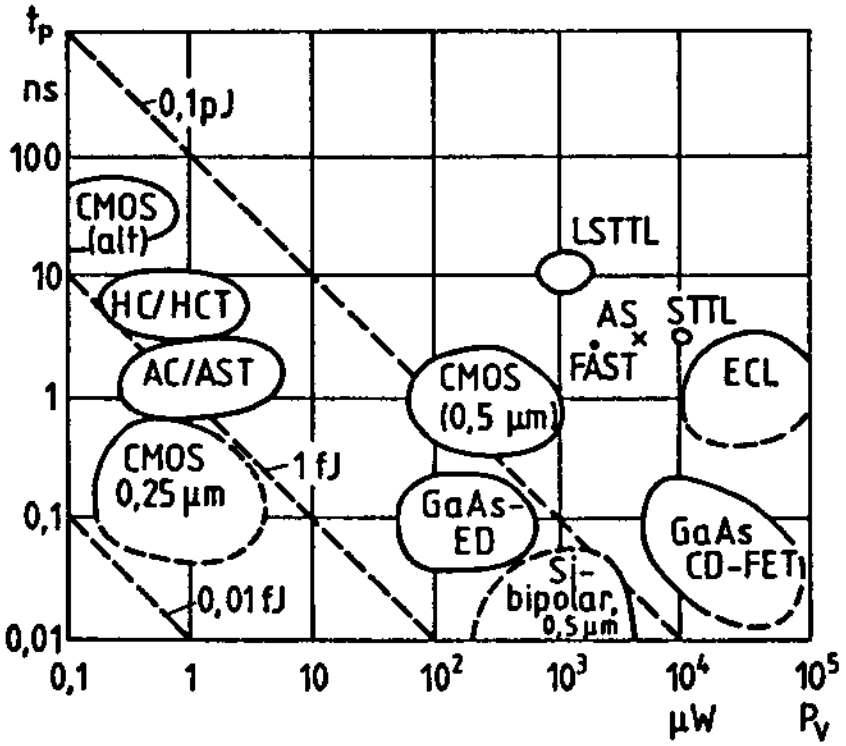
"Physikalische Grenze": < 1 fJ = 10^{-15} Ws !

bereits auf ca. 7,5 Größenordnungen angenähert

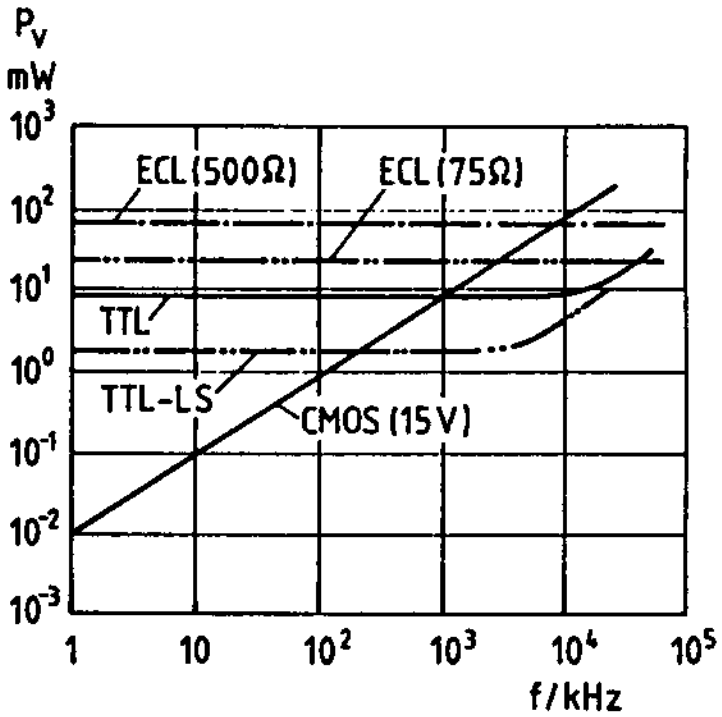
Zusammenfassung zu Eigenschaften der Logikfamilien

s. f.f. Übersichten ...

Leistungsdaten von Logikfamilien



Geschwindigkeits-Leistungs-Diagramm



Gatterleistung über der Taktfrequenz

Tabelle Vergleichswerte für Schaltzeiten und Taktfrequenzen von TTL-Baureihen

TTL-Baureihe	Schaltzeiten				Taktfrequenz (Flipflop 7474)	Meßbedingung
	Verzögerungszeit (Gatter)		Impulsflanke (Gatter)			
	t_{PLH} typ./max. ns	t_{PHL} typ./max. ns	t_{LH} typ. ns	t_{HL} typ. ns	typ./gar. MHz	
74-Standard	11/22	7/15	10	5	25/15	
74LS	9/15	10/15	9,5	6	33/25	
74S	3/4,5	3/5	2,7	2	110/75	C_L = 15 pF
74ALS	4/	5/	5	5	50/40	U_{CC} = 5 V
74AS	1,5/	1,5/	2,3	1,8		ϑ = 25 °C
74H	6/10	6/10	25	25	43/35	
74L	35/60	30/60	7	7	3/2,5	
74F	3,7/5,0	3,2/4,3	2,5	2,5	125/100	C_L = 50 pF

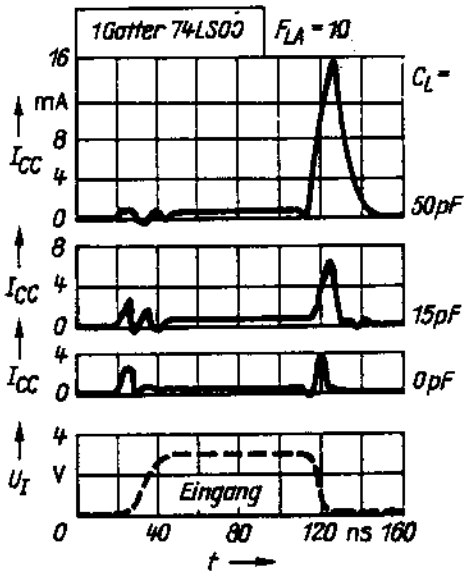


Abb. Dynamische Speisestromspitzen (Ladestrom von C_L bei einer LH-Ausgangsflanke) eines Gatters 74LS00 bei F_{LA} = 10 und C_L = 0 pF, 15 pF und 50 pF (U_{CC} = 5 V, 25 °C)

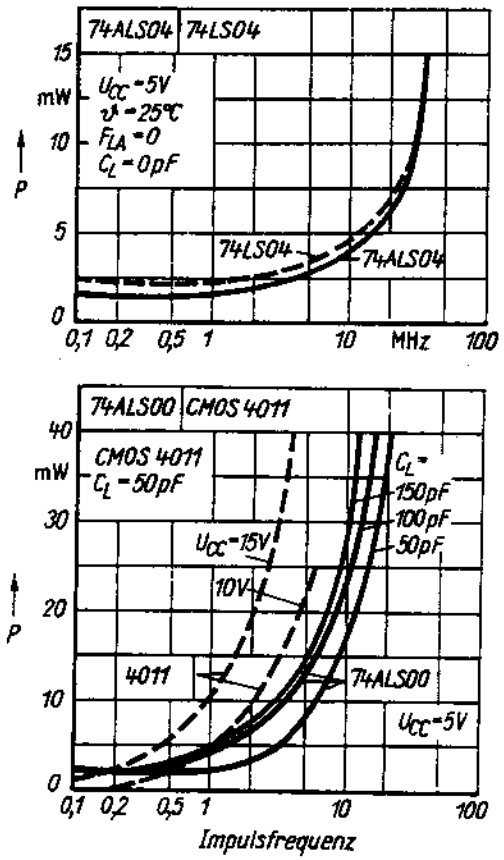


Abb. Frequenzabhängige Leistungsaufnahmen der Negatoren 74ALS04 und 74LS04 bei offenem Ausgang; der NAND-Gatter 74ALS00 und 4011 (CMOS) bei unterschiedlichen Lastbedingungen

Typ	Kenn-buchst.	Pv / mW	Td / ns	Pv * tp / pJ	fmax / MHz
Stand. TTL	-	10	10	100	35
High Speed TTL	H	22	5	110	80
Low-Power TTL	L	1	30	30	3
Schottky TTL	S	20	3	60	125
Low-Power Schottky TTL	LS	2	10	20	4
LP adv. TTL	ALS	1	3	3	35 bis 50
Advanced Schottky TTL	AS	8,5	1,5	12	125 bis 200
FAST TTL	FAST, T	4	1,5	6	100
CMOS High-Speed TTL	HCT, HC	1,75 (0,5 uW / kHz)	10 bis 12	1,4 (0,005 pJ / kHz)	25 - 50
CMOS adv. TTL	AC, ACT	0,8uW / kHz	3	0,002 pJ / kHz	100
BICMOS TTL	BCT	1	3	3	120

Übersicht über die TTL-Schaltkreisfamilie

Typ	Kennbuchstabe	Pv / mW	td / ns	Pv td / pJ
Standard	10.1 ...../ .5	25	1	25
	10.2...../ .6	25	2	50
	10.5	25	1,5	35
High Speed	1 bis 6	70	1	70
	10.H100	35	1	35
	100.100	50	0,75	38
	100 E 100	30	0,6	18

Übersicht über die ECL-Schaltkreisfamilie

Typ	Kennbuchst.	Pv / mW	td / ns	Pv td / pJ
Standard	4..... 14.....	0,25 bis0,03 uW / kHz	90 bis 100	0,03 pJ / kHz
High Speed	74 HC..... 74 HCT.....	0,5 uW / kHz	10 bis 12	0,005 pJ / kHz
Advanced	74 AC..... 74 ACT.....	0,8 uW / kHz	3	0,002 pJ / kHz
BICMOS	74 BCT.....	1	3	120

CMOS-Logikfamilien

Schaltungstechnik	Pv / mW	td / ps	Pv td / pJ
BFL (1 um)	10	90	0,9
BFL (0,5 um)	10	60	0,6
SDFL (1 um)	2,5	150	0,4
DCFL (10 um)	0,25	60	0,15
DCFL (1 um)	1,5	10	0,015
DCFL (0,5 um)	2,0	8	0,016
HEMT	ca. 2	6	0,01

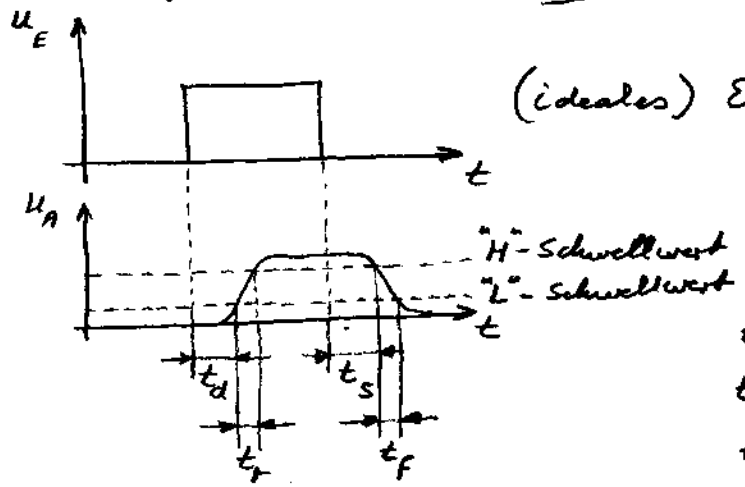
GaAs-Schaltkreistechnik

Familie	TTL	F	HC, HCT	AC	ECL	CMOS, 4000, 4000B, 74 C
0-Pegel	0,5	0,4	0,1	0,1	-1,7	0,05
1-Pegel	3,5	3,5	4,9	4,4	- 0,9	4,95
Betriebs-Spanng.	5	5	4,5 - 5,5 (HCT) 2 - 6 (HC)	2 bis 6	-(4,5 bis5,2)	3 bis 15 typ 5

Spannungspegel verschiedener Logik-Familien

Laufzeitverhalten von Gattern

Für das "timing" von Schalt-Netzen ist Bezug der Verzögerungs- und Anstiegszeiten auf die logischen Pegel sinnvoll:



"Logik-Pegel-Definition"

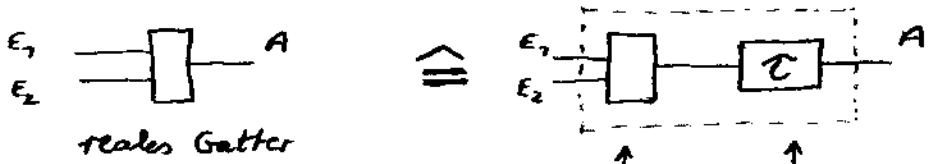
t_d – L-H-Verzögerungszeit (delay)
t_r – Anstiegszeit (rise time)
t_s – H-L-Verzögerungszeit (storage)
t_f – Abfallzeit (fall time)

Einschaltzeit $t_{on} = t_d + t_r$
Ausschaltzeit $t_{off} = t_s + t_f$

Im Bereich t_r bzw. t_f können keine eindeutigen log. Zustände zugeordnet werden ($\hat{=}$ undefinierte- bzw. "redundante" Zustände)

Die Signalverzögerungen infolge t_{on} u. t_{off} führen zur Zwischen-Speicherung von Schaltzuständen (in Schaltnetzen)

Modellierung von Gattern durch "Unit-Delay-Modell":



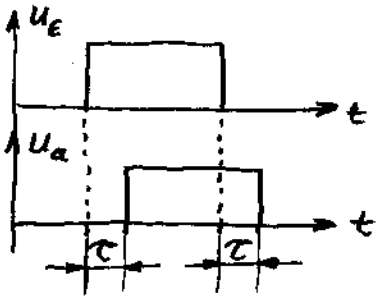
$A(t) = E(t-\tau)$

kennzeichnet Boolsche Fktn. ohne Zeitverzögerung

Unit-Delay-Element = Verzögerungsglied mit der Zeitverzögerung τ
meist: $\tau = t_{on} = t_{off}$
(sog. "lineare" Zeitverzögerung)

Vereinfachung: Jedes Eingangssignal erfährt das gleiche τ
(sogen. "Ausgangsseitige Delay-Modellierung")

dh:



$\tau \approx 6$ ps (GaAs-HEMT)
bis
$\tau \approx 10 \ldots 100$ ns (CMOS-HCT bzw. Stndrt.)

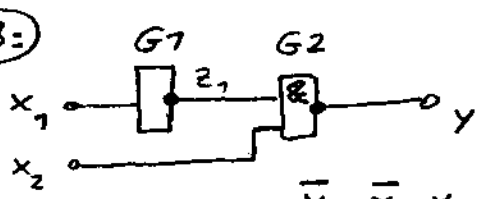
Dynamische Entwurfsprobleme – Hazards und Spikes

In Schaltnetzen ex. Kombinationen unterschiedlich langer Signalpfade.

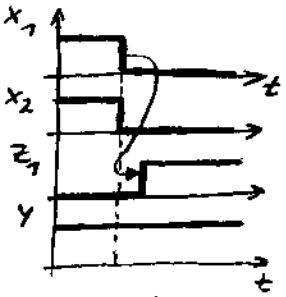
Je Signalpfad : Teillaufzeit $t_p = \tau \cdot$ Gatteranzahl im Pfad

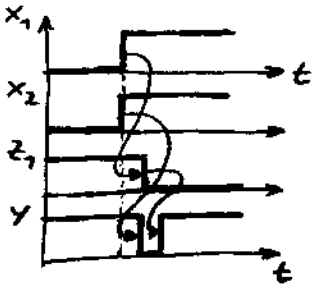
↯ Entstehen falscher Zwischenwerte an Verknüpfungspunkten unterschiedl. langer Signalpfade
≙ sog. "Wettlauferscheinungen" (Races)

ZB:



$\overline{y} = \overline{x}_1 \cdot x_2$





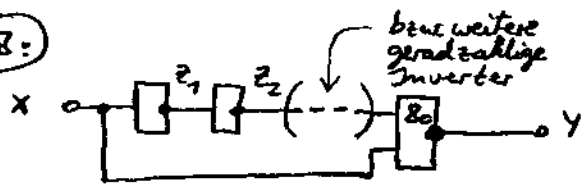
Für Eingänge x_1, x_2 : Betrachtung

H-L-Flanke	L-H-Flanke
↯ kein Hazard	↯ Hazard, verschoben um Gatterlaufzeit von G2, Impulslänge = Gatterlz. von G2 Für 1 Gatterlaufzeit wird das falsche Ergebnis $\overline{y} = L$ erzeugt (!)

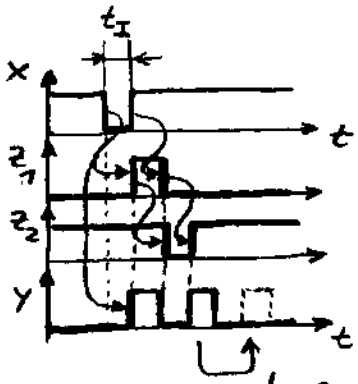
- Statische Hazards sind einmalige Fehlschaltungen infolge von Laufzeitunterschieden parallel verlaufender Signalwege

- Dynamische Hazards entstehen durch mehrfaches, jeweils durch Gatterverzögerungszeiten zeitlich versetztes Umschalten von Signalflanken im Zusammenwirken mit Signalpfaden geringerer teill. Verzögerung

ZB:



kritisches Verhalten hier bei HLH-Impuls der Länge ≈ 1 Gatterlaufzeit τ

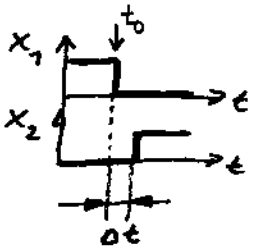


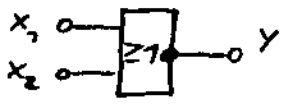
hier Darstellung für: t_I (Impulslänge) $= \tau$

Lage des 2. Impulses für 2 zusätzlich eingef. Inverter ($\Delta t = 2\tau$)

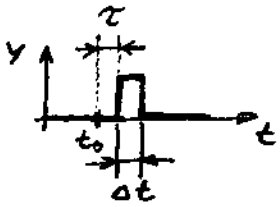
Weiterhin: entstehen Hazards durch zeitversetzte Lage von Impulsflanken logisch einander zuzuordnender Eingangssignale:

ZB:





NOR-Gatter



Probleme: Sicherstellen, daß keine Übergangszustände als gültig dekodiert bzw. ausgelesen / abgespeichert werden

(!) Bei Rückkopplungen können stationär schwingende Zustände auftreten (grober Entwicklungsfehler)

Beseitigung dieser Probleme:

In asynchronen Schaltnetzen: Beseitigung der Wettlaufbedingungen durch Laufzeitausgleich (Einfügen redundanter Gatter), so daß alle Pfade gleiche Gatteranzahl besitzen
oder: Wartezeit vorsehen, bis Übergangszustände abgeklungen

Grundsätzliche Lösung nur durch konsequente Anwendung Synchroner Schaltnetze:

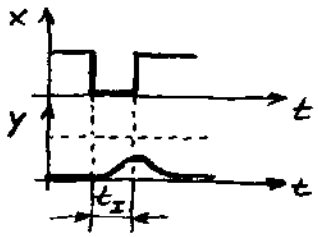
Zustandsänderungen treten nur an Taktflanken eines (externen) Taktimpulses auf – sinnvollerweise nur an der positiven oder negativen Taktflanke!

(!) Extern eingegebene Informationen/Daten müssen hierzu auf den Takt synchronisiert werden.

Charakteristisch für diese sequenziellen Schaltnetze ist Nutzung von Flip-Flop's!

Bem: "Spikes"

Sind Störimpulse, die wegen geringer Amplitude und infolge Impulszeiten $< t_a$ (bzw. t_f) keine Änderung des logischen Zustands an einem Gatterausgang erzeugen können.



X – Impulsbreite unterschreitet die minimal erforderliche Eingangsimpulsbreite des Gatters.

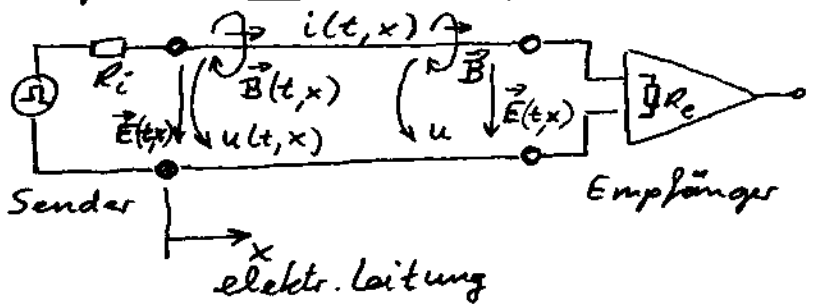
Spikes werden zB. oszillografisch oder auf Logikanalysatoren sichtbar,
sind Hinweise auf Laufzeitprobleme (können ev. bei Temperaturabhängigkeit kritisch werden!)

Bem: Logikanalysatoren: 200 MS/s auf 48 Kanälen, 500ps Auflösg.

Schaltverhalten elektrischer Verbindungsleitungen

Elektr. Leitungen übertragen Impulse (Informationen) zwischen Sender und Empfänger...
Bei hohen Übertragungsfrequenzen bzw. kurzen Impulsanstiegszeiten (ps – ns-Bereich) kommt die el. Wellenlänge bzw. der Laufweg einer Impulsanstiegszeit auf der Leitung in die Größenordnung der Leitungslänge!

↓ Betrachtung von Wellenvorgängen auf Leitungen erforderl.:

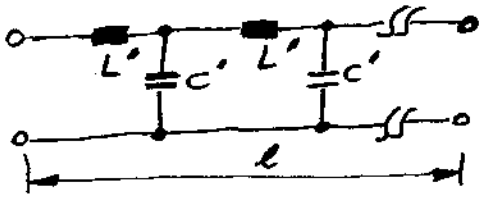


Strom- und Spannungsverteilung auf der Leitung!

$i(t,x)$ erzeugt ein zeit- und ortsabhängiges magnet. Feld: $\vec{B}(t,x)$
$u(t,x)$ – " – elektr. Feld: $\vec{E}(t,x)$

Diese physikalischen Effekte sind darstellbar durch auf die Leitungslänge verteilte (') physikal. Ersatzschaltbildelemente L' und C' (dh. auf Wegelemente x bezogene Größen)

(hierbei Vernachläss. der ohmschen längs- und Querwiderstände!)



zB: verdrillte 2-Drahtleitung
$C' \approx 100 \frac{pF}{m}$
$L' \approx 500 \frac{nH}{m}$

↷ • Leitung hat Tiefpaßcharakter (Angabe einer oberen Grenzfrequenz)

$$f_{gr} = \frac{1}{2\pi R C} = \frac{1}{2\pi R' C' l^2}$$

R' – Leitungswiderstand (nicht dargest.)

• Leitung erzeugt Verzögerung des Ausgangs- gegenüber dem Eingangssignal (Signallaufzeit)

Betrachtung der Leitung als Wellenleiter ("Leitungsgleichungen") liefert: Signal-Laufzeit auf der Leitung $\tau' = \sqrt{L' \cdot C'}$

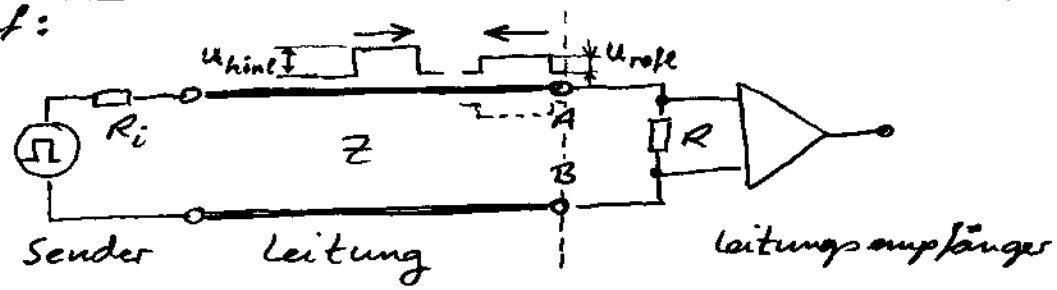
und sogen. Wellenwiderstand der Leitung ist ortsunabhängig, rein reell $Z = \sqrt{\frac{L'}{C'}}$

(= Verhältnis $\frac{u}{i}$ auf der Leitung,
Z ist der Eingangswiderstand einer (langen) Leitung, wenn sie am Ende mit $Z = R$ abgeschlossen wird)

ZB: LAN-Kabel (Ethernet): "twisted pair" (4 Paare)

$C' = 34\,pF/m$, $L' = 490\,nH/m$ } $\tau' = 4{,}8\,ns/m$, $Z = 120\,\Omega$

(!) Wird eine Leitung nicht mit einem Widerstand $R = Z$ am Leitungsende belastet (= "abgeschlossen"), so tritt eine <u>Reflexion</u> des elektr. Signals an dieser "fehlangepaßten" Stelle auf:



Die Amplitude des reflektierten (= rücklaufenden) Signals, das an der fehlangepaßten Stelle A-B entsteht, ist aus dem

Reflexionskoeffizient $\boxed{r = \frac{R-Z}{R+Z} = \frac{R/Z - 1}{R/Z + 1} = \frac{u_{refl}}{u_{hinl}}}$

bestimmbar, dh. abhängig vom Grad der "Anpassung":

- <u>Empfängerseitiger Leerlauf</u>: $R \gg Z$ $\curvearrowright$ $\underline{\underline{r = +1}}$
  refl. Impuls entsteht mit <u>gleicher</u> Spannung und Phasenlage wie hinlaufender Impuls.
  (Spannungsverdopplung an A-B)
- <u>Empfängerseitiger Kurzschluß</u>: $R \ll Z$ $\curvearrowright$ $\underline{\underline{r = -1}}$
  refl. Impuls entsteht mit <u>entgegengesetzter</u> Phasenlage zum hinlaufenden Impuls.
  (Spanng $u = 0$ an A-B)
- <u>Empfängerseitige Anpassung</u>: $R = Z$ $\curvearrowright$ $\underline{\underline{r = 0}}$
  entsteht <u>kein</u> refl. Impuls,
  Energie des hinl. Impulses wird vollständig in R umgesetzt.

(analog Betrachtung für ev. refl. Impuls an Eingangsklemmen)

Bei beiderseitiger Fehlanpassung entstehen ungünstigenfalls:

- Spannungen doppelter Amplitude des hinl. Impulses
- Spannungen mit mehrfacher —"— ,
  wenn sich über der Leitungslänge <u>mehrere</u> Impulsanteile aus hinl.- und refl. Impulsen phasengleich überlagern!

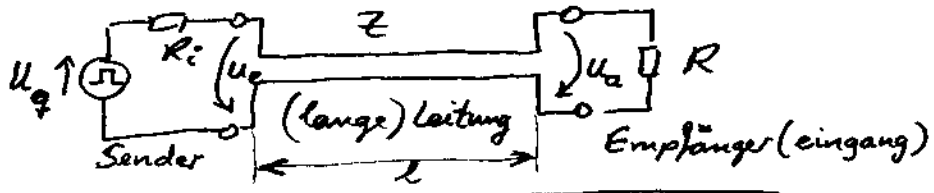
Leitung	Reflexions-faktor r	Spannungsverlauf	mechanisches Analogon
u_Q Z, l $R \to \infty$ offene Leitung	1	u(x), 0, x, l u(x), 0, l offen	Amplitude 0, l loses Ende 0
u_Q Z $R = 0$ Kurzschluß	-1	u(x), 0, l u(x), 0, l	0 festes Ende
u_Q Z, R $R = Z$ Anpassung	0	u(x), 0, x, l u(x), 0, l Ende	$Z = R$ 0, l Stoßstelle
u_Q Z, R $R \neq Z$ Fehlanpassung	<1	u(x), 0, x, l u(x), 0, x, l Ende	$Z < R$ l Stoßstelle

Bild Einfluß des Leitungsabschlusses auf die Spannungsverläufe auf der Leitung

ZB: In elektr. Leitung bewegt sich ein Impuls über 20 cm in 1 ns

In Luft (Vakuum) bewegt sich Licht über 30 cm in 1 ns

Betrachtung zur Amplitude der Impulse:



unabhängig von R zunächst: ist $\boxed{u_e = \frac{Z}{R_i + Z} \cdot U_q}$ ≙ Spannungsteiler-Regel

nach Laufzeit $\tau = l \cdot \sqrt{L' \cdot C'}$ kommt der Impuls am Abschlußwiderstand R mit u_e an:

wenn $R = Z$ läuft der Impuls in R ein, keine Reflexion

wenn $R \neq Z$ tritt am Leitungsende eine Reflexion auf, es läuft ein Impuls mit

$$\boxed{u_r = r \cdot u_e = \underbrace{\frac{R-Z}{R+Z}}_{r} \cdot \underbrace{\frac{Z}{R_i+Z}}_{\text{Sp. teiler am Eing.}} \cdot U_q}$$

zurück!, der sich mit ev. weiteren hinlaufenden Impulsen (±) überlagert.

Ein Vergleich der Signallaufzeit τ auf der Leitung mit der Anstiegszeit der Signalflanken t_a (bzw. t_f) liefert die Kennzeichnungen:

- "Elektrisch kurze Leitung": es gilt $\boxed{\tau < \frac{t_a}{2}}$

  ↳ ev. Reflexionen fallen in die Zeit der Impulsflanke und sind am Flankenende abgeklungen

  dh. keine Störspitzen || die (verlustlose) Leitung wirkt als reine Kapazität $C' \cdot l$

  ↳ el. kurze Leitungen dürfen "fehlangepaßt" sein!

- Elektrisch lange Leitung: es gilt $\boxed{\tau > \frac{t_a}{2}}$

  hier Anpassung $R_i, R = Z$ erforderlich! || Fehlanpassung (s.o.) der Leitung erzeugt Überschwingen, das am Ende der Impulsflanke noch nicht abgeklungen ist.

zB: Isolierter Schaltdraht mit $\tau' = 4{,}5$ ns/m führt hierzu bei:

TTL-Baureihe	74 AS	mit t_a = 1,8 ns	für $l >$	15 cm
	74 ALS	5 ns		40 cm
	74 AC	1,3 ns		15 cm
	74 HC	6 ns		50 cm

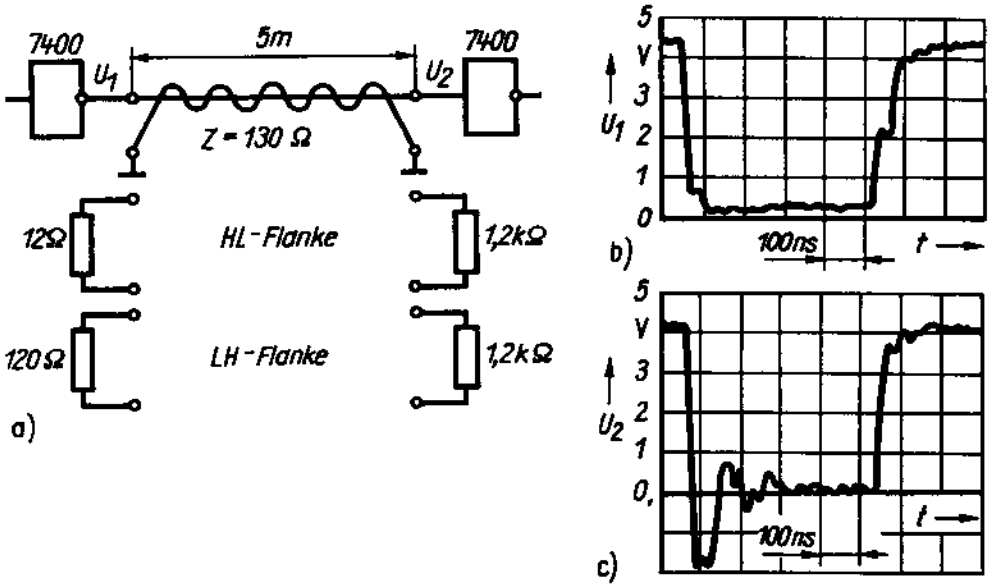


Abb. Schaltung (a) und Spannungsverlauf (b), (c) am Anfang und am Ende einer 5 m langen Leitung aus verdrilltem Schaltdraht ($Z = 130\,\Omega$) zwischen 2 NAND-Gattern 7400

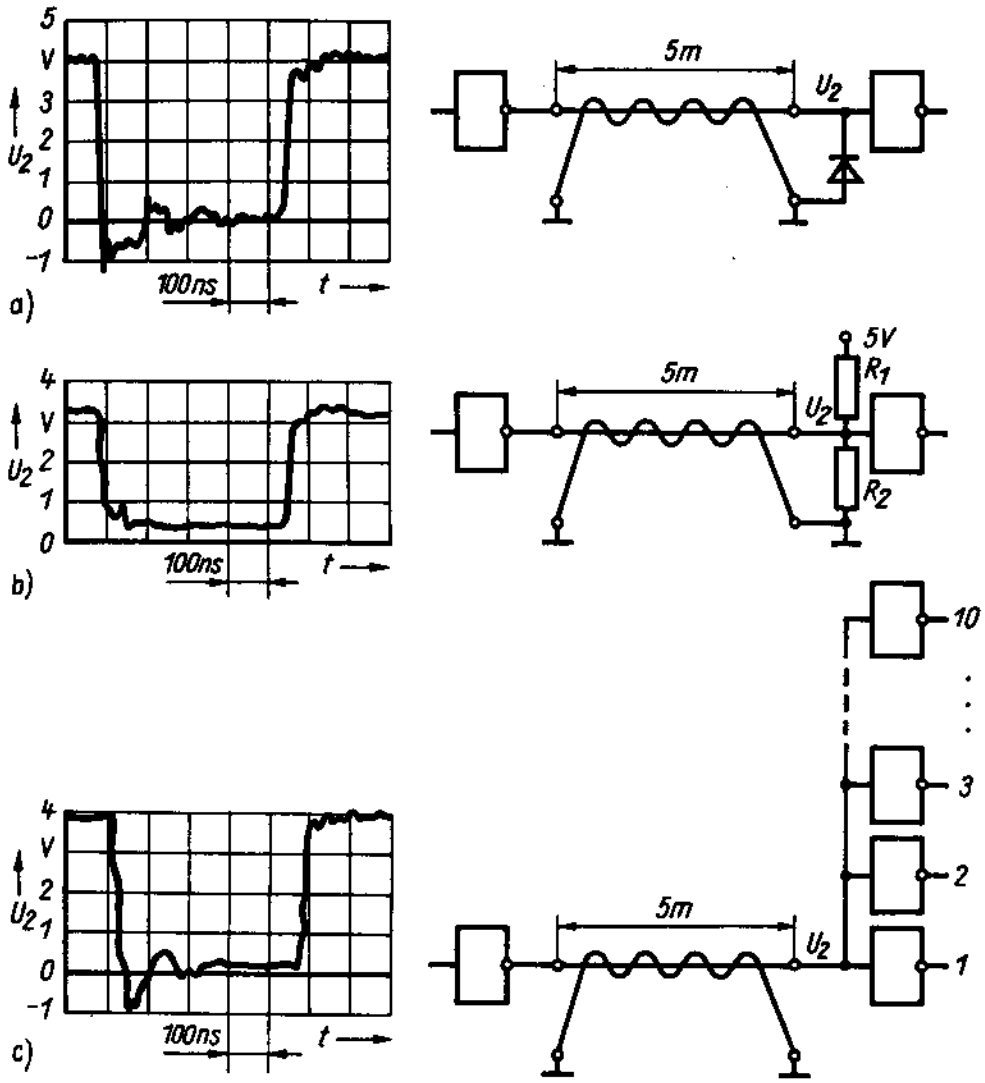


Abb. Verringerung von Reflexionsstörungen bei einer verdrillten Leitung
a) durch Begrenzungsdiode, b) durch Spannungsteiler, c) durch höheren Lastfaktor

Nur bei $\boxed{\text{Anpassung } R = Z \text{ ist } r = 0}$

Bem.: Anpassung einer nur in einer Senderichtung betriebenen Leitung i.a. am Sender nicht erforderlich, da R_i (Treiberausg.) i.a. $\ll Z$!

dh.:

Vorteil: geringe Spannungsteilung

zu Bild: Spannungsverlauf Reflex.störungen

HL-Flanke: Quellwid. $< Z$, Lastwid. $> Z$ } ↓ nahezu volle Amplitude übertragen, negat. Überschwingen

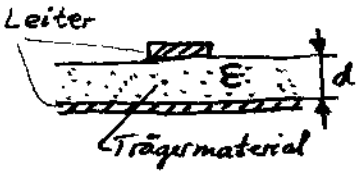
LH-Flanke: Quellwid. $\approx Z$, Lastwid. $> Z$ } ↓ Spannungsteilung, hinlaufende Welle mit halber Amplitude überlagert sich mit reflekt. Welle am Empfänger zur ursprüngl. Sendeamplitude

(!) Bei TTL-IC's unterschiedliche Quellwiderstände für LH- und HL-Flanke beachten

Leitungen mit definiertem Wellenwiderstand

Auf Leiterplatten: Microstrip line

Sog. "Streifenleiter" sind Leiterzüge gegenüber einer durchgehenden Messfläche auf der gegenüberliegenden Seite



(zB:) Lpl.-dicke $d = 1{,}2$ mm, $\varepsilon_r = 5$, Leiterbahnbreite $= 1$ mm } ↓ $Z = 75\,\Omega$

Koaxialleitungen: Standartmäßig $Z = 50 \ldots 75\,\Omega$
kostenintensiv spezielle Koax-Verbinder erf. auf Steckerleisten, geringe Dämpfung, hohe f_g

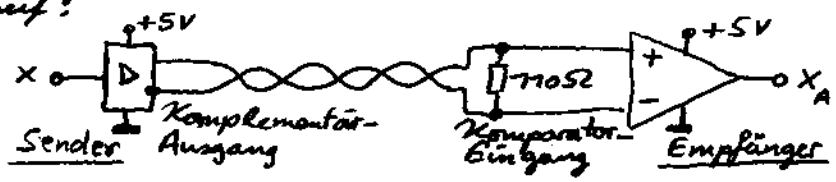
Twisted-Pair-line: 2 verdrillte isolierte Schaltdrähte

(zB:) Draht Ø $= 0{,}5$ mm, Isolierung $\approx 0{,}1$ mm, ca. 30 Verdrillungen/m } $C' \approx 34\,pF/m$, $L' \approx 510\,nH/m$

↓ $Z \approx 100 \ldots 130\,\Omega$

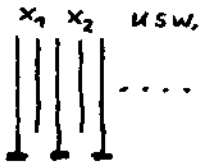
Leitungslängen > 1 km möglich, auch zu Leitungsbündeln zusammenfaßbar, meist "symmetrische Ltg." → Empfänger mit Differenzeingang!

Hier treten fast nur Gleichtaktstörungen auf:



Bem: Komplementärausgänge ex. grundsätzlich bei ECL-Gattern

Bandkabel: verbindet höherintegrierte Baugruppen in PC's
bis zu 48 parallel geführte Leitungsadern
Draht Ø = 0,1 ... 0,3 mm, Adernabstand 0,4 ... 1 mm
in Kunststoffband
damit Wellenwiderstände genau einhaltbar
! an beliebigen Stellen lötfrei Abzweigungen durch Klemm-Verbinder herstellbar, Länge bis x 10 m.
(Praktisch für alle PC-Busleitungen mit Tristate-Ausgang)
Adern symmetrisch oder unsymmetrisch betreibbar.
Zur Erhöhung der Störsicherheit wird jede zweite Ader auf Masse gelegt



Bus-System (Sammelleitung)

Sender u. Empfänger nicht nur an den Leitungsenden, sondern auch längs der Leitung beliebig verteilt angeschaltet.

Symmetr./Unsy. Busleitung

"Party-line-Betrieb": jeder Sender kann auf jeden Empfänger arbeiten
(!) nur ein Sender darf aktiviert (niederohmig) sein, es können aber alle Empfänger gleichzeitig empfangen

Bus-Empfänger: Eingänge sind hochohmig, um die Leitungsanpassung mit $R = Z$ nicht zu stören
(hier i.a. Angabe des max. Reststroms bei "H"/"L")

Bus-Transceiver: (Transmitter + Receiver)

Bus-Treiber-Ausgang und Empfänger-Eingang sind verbunden (dh. nur 1 Pin am IC)

↓ Zwischen 2 Anschlußpunkten einer Leitung können in beiden Richtungen Daten gesendet und empfangen werden
sog. "Bidirektionaler Betrieb"

Sammelleitung (Bus)

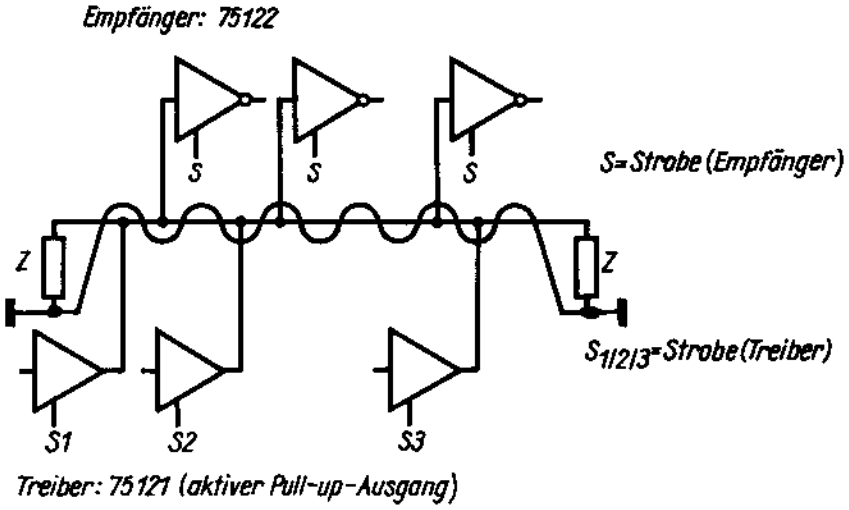


Abb. Unsymmetrische Sammelleitung (Bus) mit Bus-Treibern 75121 und Bus-Empfängern 75122 für Party-line-Betrieb

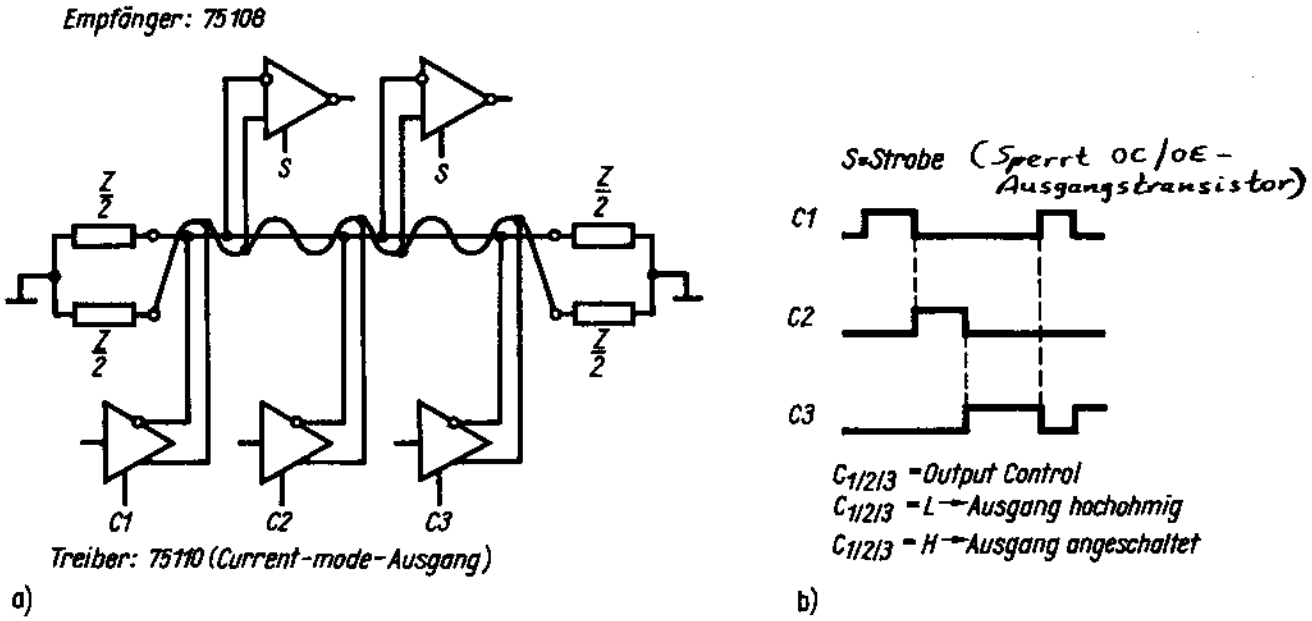


Abb. a) Symmetrische Sammelleitung (Bus) mit Bus-Treibern 75110 und Bus-Empfängern 75108 bei Party-line-Betrieb; b) Impulsdiagramm des Output-control-Signals zum Anschalten der Treiberausgänge

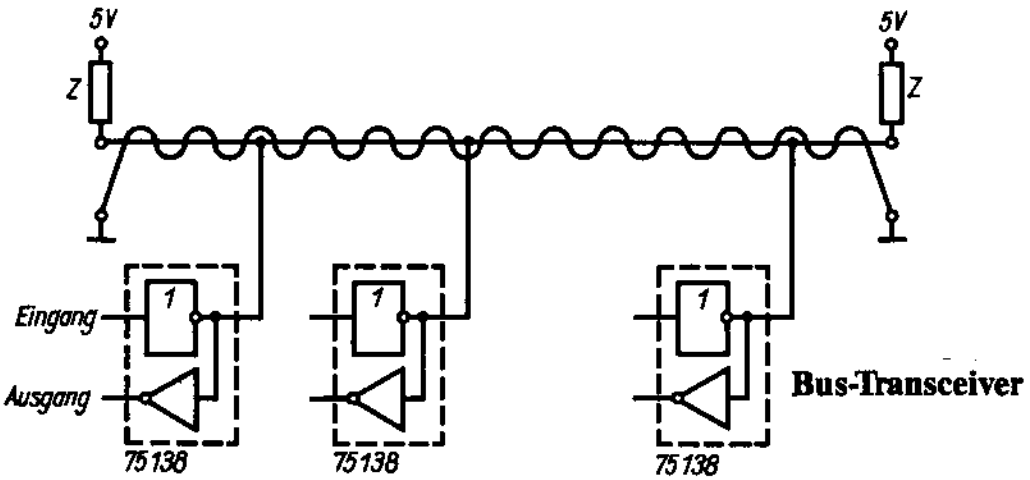


Abb. Unsymmetrische Sammelleitung mit Bus-Transceivern 75138 für Party-line-Betrieb

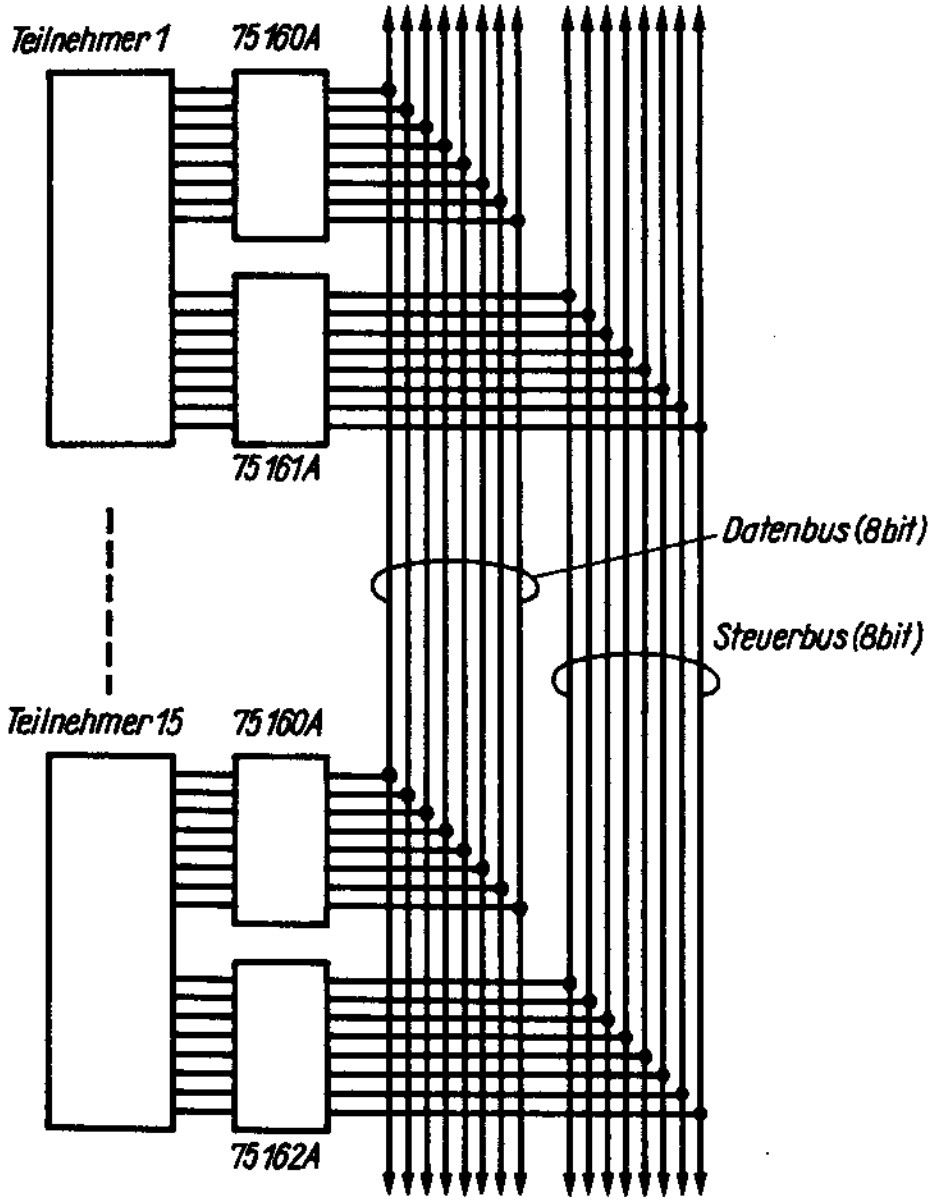


Abb. Beispiel eines 16-bit-GPIB (general purpose interface-bus) mit angeschalteten GPIB-Transceiver-Schaltungen 75160A bis 75162A

zB: GPIB (general purpose interface bus) für automatisierte Meßtechnik

stapelbare Stecker (24polig)

Def. der elektrischen Betriebsbedingungen / Zeitbedingungen (Timing)

Bitfrequenz max. 1 MHz (1 Mbit/s) ↔ 1 MByte/s

Teilnehmeranzahl max. 15

Daten-Bus { 8 data lines: 7 bit ASCII – bzw. ISO – Code, 1 bit – parity

Steuer-Bus { 3 handshake lines: 3-Draht "Interlocked handshake" für Datentransfer der Geräte

5 Interface Management lines: für Informationsfluß-Management durch das Interface

TTL-Pegel in negativer Logik, 20 m Leitungslänge

Gatter – Grundbausteine

NAND, NOR, AND, OR : Grundgatter
2...8 Eingänge, 1(2) Ausgang

Negatoren (Inverter) : ebenfalls "Gatter"
Buffer } mit oder ohne Negation — 1 Eingang, 1 Ausgang
Treiber } — 1 Steuereingang ("TS" oder "Strobe")

Jede logische Funktion ist auf AND, OR und Negation zurückführbar !

Eingänge: Normal-Eing. (Umschaltschwellspannung U_S)
Trigger – (mit Hysterese)
Erweiterungsfähig (Expandereingang)

Ausgänge: Totem-pole-Ausgang
Open-Kollektor-
Tristate- (mit zusätzl. Output enable/control-Eingang)
Komplementär-Ausgang (2 zuein. neg.)
Treiber-/Buffer-Ausgang (erhöhter Ausgangsstrom)

In logischen Gleichungen

(zB:) NAND-Fktn.: $Y = \overline{A \cdot B \cdot C}$ (vgl. "Faktoren")
NOR-Fktn.: $Y = \overline{A + B + C}$ (vgl. "Summanden")

werden für die Variablen A, B, C ... statt der Binärzeichen "L" und "H" die Binärziffern 0 und 1 verwendet (entsprechend zugeordnet ↷ "positive Logik" (bei TTL, CMOS)

(!) Die Bestimmung der Gatterart (NAND oder NOR) ist nur in der benutzten pos. oder neg. Logik mgl. und an diese gebunden,

dh: Ein NAND-Gatter in pos. Logik wirkt in neg. Logik als NOR.

- Bei NAND-Gattern greift "L" an einem Eingang durch:
  $\overline{1 \cdot 0 \cdot 1} = 1$ dh. nur 1 Eingang auf "L" ↷ Y = "H"
- Bei NOR-Gattern greift "H" an einem Eingang durch:
  $\overline{0 + 0 + 1} = 0$ dh. nur 1 Eingang auf "H" ↷ Y = "L"

	NAND-	AND (UND)	NOR-	OR (ODER)
Ältere Darstellung	A B C Y $\overline{A \cdot B \cdot C} = Y$		A B C Y $\overline{A + B + C} = Y$	
Angelsächsische Darstellung				
Darstellung nach IEC-Norm	&	&	1	1

Schaltungssymbol und logische Funktion des NAND- und NOR-Gatters

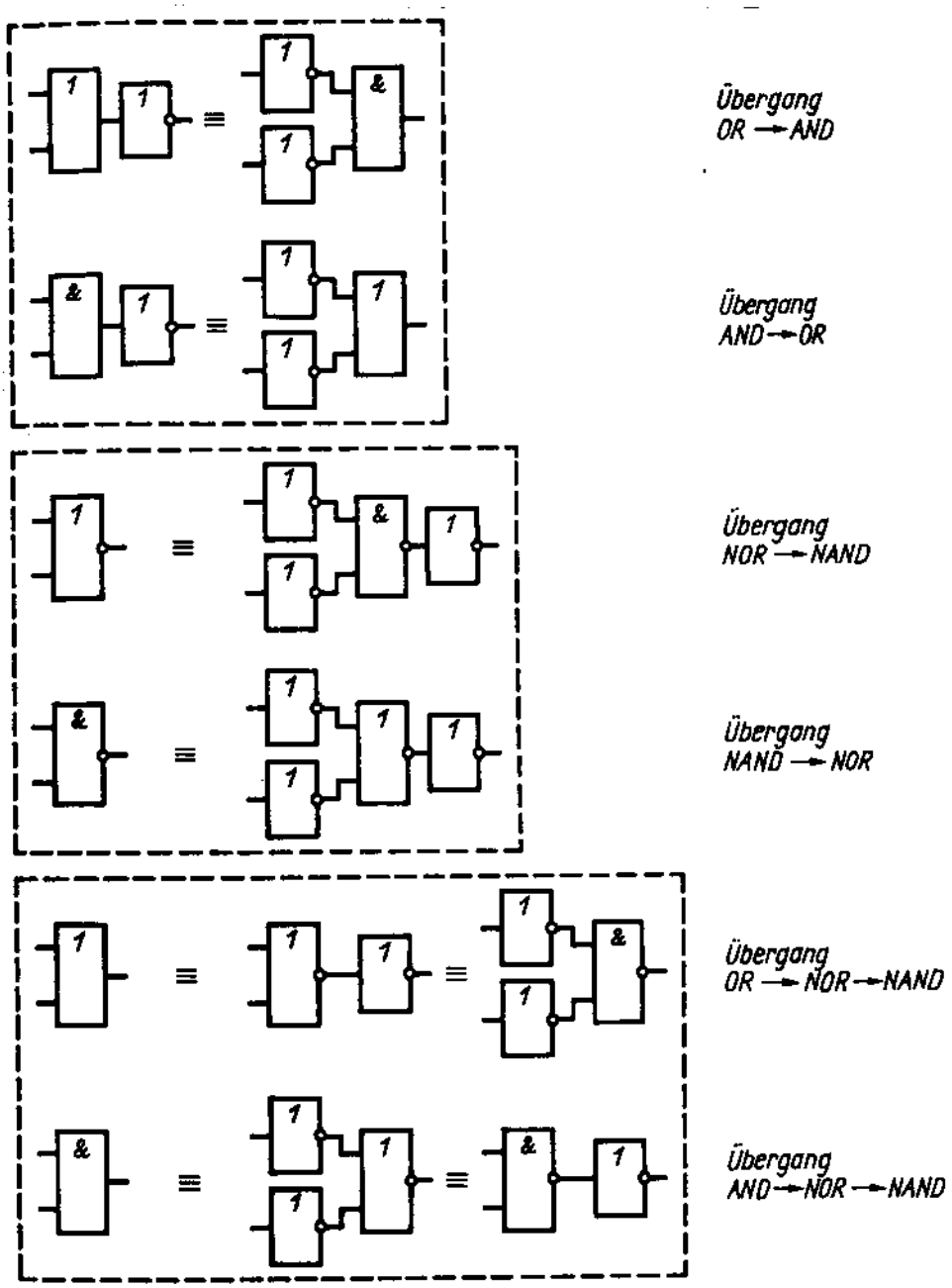


Abb. Schaltungsäquivalenzen zum Ersatz von AND/NAND-Gattern und OR/NOR-Gattern

Äquivalente Schaltungen

aus "De-Morganschen Identitäten" folgen NAND ↔ NOR Umformungen

$\overline{A \cdot B} = \overline{A} + \overline{B}$ (NAND → OR mit negierten Eingängen)

$\overline{A + B} = \overline{A} \cdot \overline{B}$ (NOR → AND mit neg. Eing.)

bzw. $A \cdot B = \overline{\overline{A} + \overline{B}}$ (AND → NOR mit neg. Eing.)

$A + B = \overline{\overline{A} \cdot \overline{B}}$ (OR → NAND mit neg. Eing.)

dh. Verknüpfungszeichen ändert sich bei Aufteilung des Negierungsstrichs

Wirkung auf die Schaltsymbole:
"Hinwegzeichen" eines Negators vom Ausgang auf alle Eing. (bzw. umgekehrt) bedeutet Übergang eines OR-(bzw. NOR) Gatters in ein AND-(bzw. NAND-) Gatter! (bzw. umgekehrt)

EXOR und Äquivalenz

dienen zum Vergleich von 2 (oder mehr) Eingangsgrößen

- Exklusiv-OR (= Antivalenz):

$$\boxed{Y = \overline{A} \cdot B + A \cdot \overline{B}}$$

dh. wenn alle Eing.größen log. 0 oder log. 1 ↔ $Y = 0$

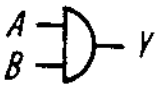
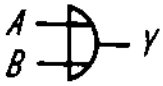
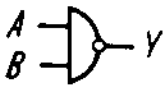
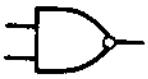
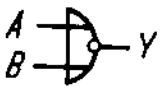
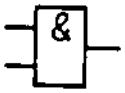
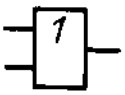
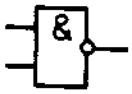
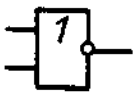
- Äquivalenz (= Exklusiv-NOR)

$$\boxed{Y = \overline{A} \cdot \overline{B} + A \cdot B \quad \left(= \overline{\overline{A} \cdot B + A \cdot \overline{B}} \right)}$$

dh. wenn alle Eing.größen log. 0 oder log. 1 ↔ $Y = 1$

EXOR und Äquivalenz unterscheiden sich nur durch eine Negation am Ausgang!

Bem: EXOR (Antivalenz) ≙ Modulo-2-Addierer (vgl. Halbadder)

Eingänge A	Eingänge B	Konjunktion	Disjunktion	Scheffer-Funkt.	Peirce-Funkt.
		AND	OR	NAND	NOR
		$Y = A \cdot B$ $= A \wedge B$	$Y = A + B$ $= A \vee B$	$Y = \overline{A \cdot B}$	$Y = \overline{A + B}$
		Ausgang			
L	L	L	L	H	H
L	H	L	H	H	L
H	L	L	H	H	L
H	H	H	H	L	L
Angel-Sächsische Darstellung				 	
Darstellung nach IEC-Norm					

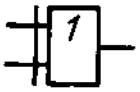
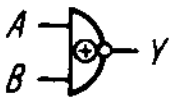
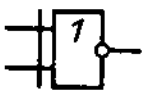
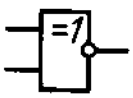
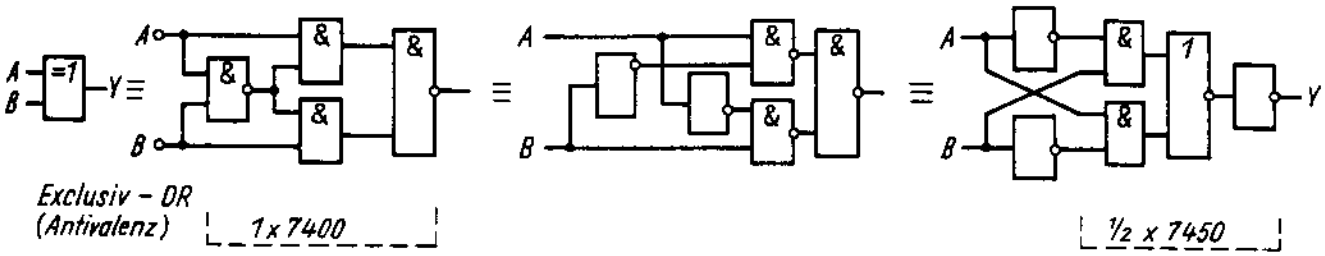
Eingänge A	Eingänge B	Antivalenz	Äquivalenz	Implikation	Inhibition
		Exclusiv-OR	Exclusiv-NOR		
		$Y = \bar{A} \cdot B + A \cdot \bar{B}$ $= A \oplus B$	$Y = \bar{A} \cdot \bar{B} + A \cdot B$ $= \overline{A \oplus B}$	$Y = \bar{A} + B$	$Y = \bar{A} \cdot B$
		Ausgang			
L	L	L	H	H	L
L	H	H	L	H	H
H	L	H	L	L	L
H	H	L	H	H	L
Angel-Sächsische Darstellung			 		
Darstellung nach IEC-Norm					

Abb. Zustandstabellen und Schaltungssymbole der logischen Gundfunktionen

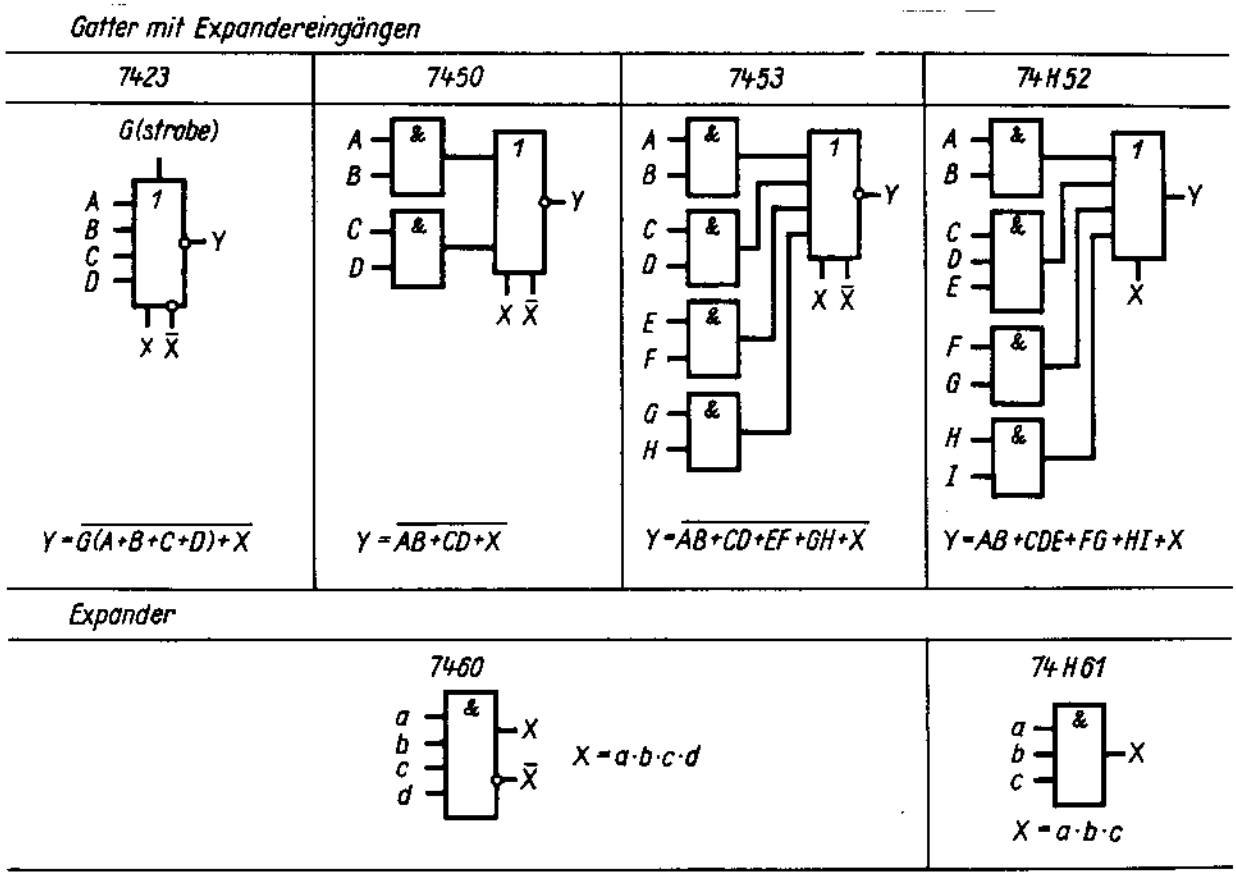
Für die logischen Grundfunktionen läßt sich bei positiver Logik folgende Zustandstabelle angeben:

-AND (Konjunktion)	Nur wenn beide Eingänge *A* and *B* auf H liegen, zeigt der Ausgang H an.
-OR (Disjunktion)	Nur wenn beide Eingänge *A* and *B* auf L liegen, zeigt der Ausgang L an.
-NAND (Sheffer-Funktion)	Nur wenn beide Eingänge *A* und *B* auf H liegen, zeigt der Ausgang L an.
-NOR (Peirce-Funktion)	Nur wenn beide Eingänge *A* and *B* auf L liegen, zeigt der Ausgang H an.
-Antivalenz (Exklusiv OR)	Nur wenn beide Eingänge gleiches Potential haben, zeigt der Ausgang L an.
-Äquivalenz (Exklusiv NOR)	Nur wenn beide Eingänge gleiches Potential haben, zeigt der Ausgang H an.
-Implikation	Nur wenn Eingang *A* auf H und Eingang *B* auf L liegt, zeigt der Ausgang L an.
-Inhibition	Nur wenn Eingang *A* auf *L* und Eingang *B* auf H liegt, zeigt der Ausgang H an.



Drei Schaltungsbeispiele für Exklusiv-OR-Schaltungen (Antivalenz)

Gatter und Expander



TTL-Schaltungen mit Expandereingängen X, $\bar{X}$ und Expander

Expander - Eingänge

Anzahl der Gattereingänge kann vergrößert werden, wenn sog. Expandereingänge X und $\overline{X}$ für den Anschluß eines Erweiterungsgatters vorgesehen sind.
(s. Bild: Gatter mit Expandereingängen)

Wired - AND und Wired - NOR (OR)

Für Parallelschaltung von Ausgängen sind nur
- Open - Kollektor (OC)
- Tristate - Ausgänge (TS) vorgesehen

Nur die parallelgeschalteten OC-Ausgänge mit externem ohmschen Widerstand liefern eine zusätzliche log. Verknüpfung!

"AND durch Verbinden" bzw. "NOR durch Verbinden"

→ s. Bild: "Parallelschaltung offener Kollektorausgänge ..."

- Ausgänge der NAND-Gatter werden durch die Parallelschaltung zu einer zusätzlichen AND-Fktn. verknüpft
- aus den NAND-Fktnen $\overline{A \cdot B}$, $\overline{C \cdot D}$ entstehen die AND-Fktnen $A \cdot B$, $C \cdot D$, die zu einer NOR-Fktn. zusammengefaßt sind.

gebräuchlich deshalb auch Bezeichnungen "Wired - NOR" oder "Wired - OR"

Wired - AND ist nur sinnvoll, wenn mit geringem Schaltungsaufwand eine größere Anzahl von Eingängen (zB. zur AND-Fktn. durch AND-Gatter (OC) verknüpft werden soll.
Nachteile: deutlich größere Verzögerungszeiten u. zusätzlicher R_C!

Bem: Für n parallelgeschaltete OC-Ausgänge und F_{LA} für angeschalt. Eing.

$R_{Cmax} \geq R_C \geq R_{Cmin}$

Berechnung R_C:

$$R_{Cmax} = \frac{U_{CC} - U_{OH}}{n \cdot I_{OH} - F_{LA} I_{IH}}$$

Bei Ausgang = "H" muß R_C den Strom I_{IH} an die angschl. Eingänge (F_{LA}) liefern

$$R_{Cmin} = \frac{U_{CC} - U_{OL}}{I_{OL} - F_{LA} \cdot I_{IL}}$$

Bei Ausgang = "L" muß R_C den Strom durch den (einen) leitenden Ausgangstransistor begrenzen

Wired-AND und Wired-NOR

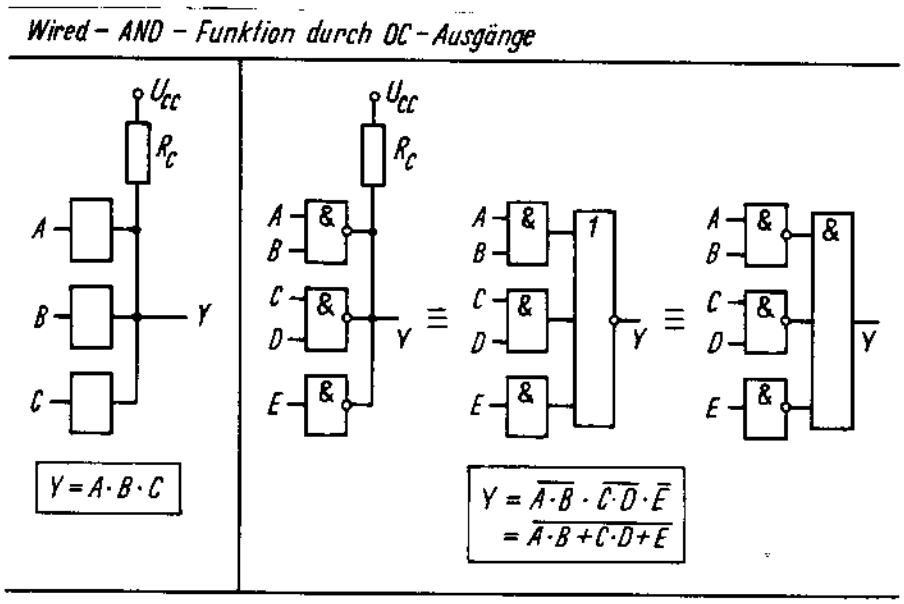


Abb. Parallelschaltung offener Kollektorausgänge (OC) zur Wired-AND-Funktion

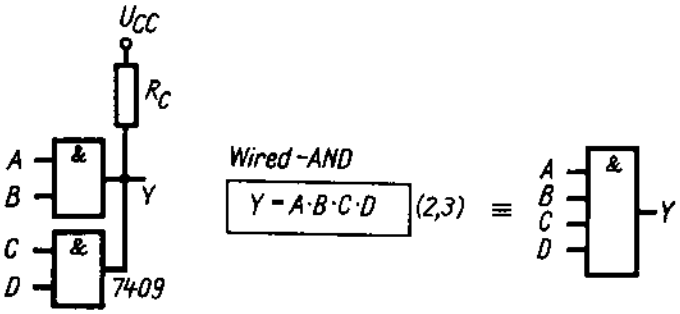


Abb. Parallelschaltung von zwei 2-Eing.-AND-Gattern 7409 (oder 7415) mit OC-Ausgang zu einer AND-Funktion mit 4 Eingängen

Beispiel: Typen u. Pinbelegung

TTL-Baureihe 74...

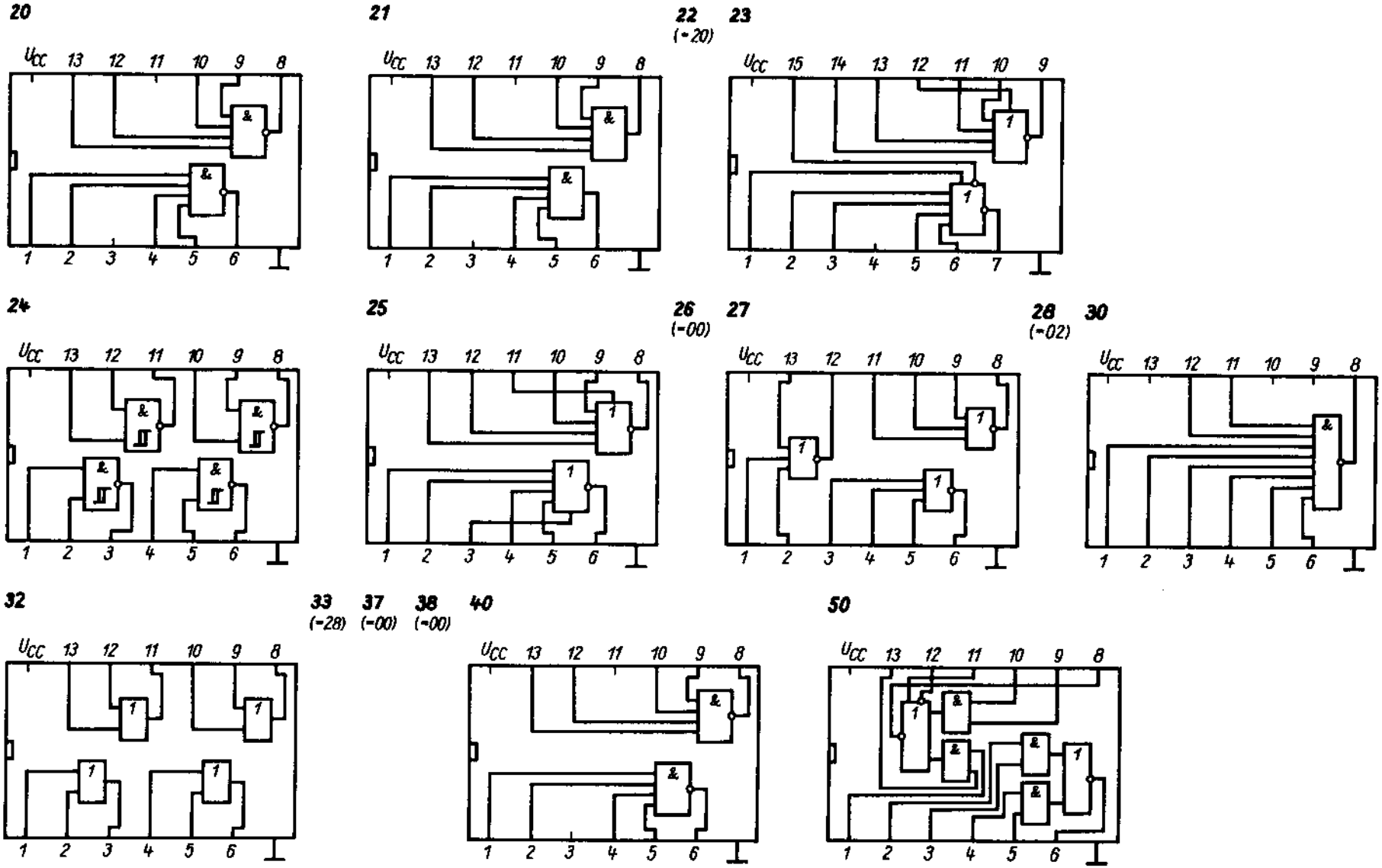


Abb. 2.8 (2)

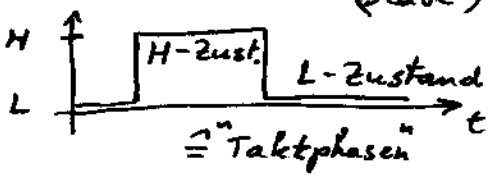
Flip-Flop's

Kombinatorische Schaltnetze: realisieren Bool'sche Funktionen, Ausgangsvariable y_j hängen nur von den Eingangsvariablen x_i ab!

Sequentielle Schaltnetze: Schaltnetz hat Rückkopplungen, einzelne Variablenzustände werden gespeichert
↳ Ausgangsvariable y_j sind abhängig von x_i und von der "Vorgeschichte"

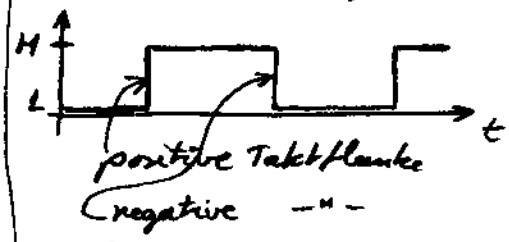
Kleinste Speicherelemente **Flip-Flop's**

- **asynchron** — nichtgetaktete FF
- **synchron**
  - **Zustandsgesteuert**
    - einstufige
    - zweistufige (Master-Slave)



ZB: während H-Zustand wird das Eing.-signal übernommen (aber während L-Zustand keine Übernahme auf den Ausgang)

  - **Flankengesteuert**
    - einflankengesteuert
    - zweiflankengesteuert



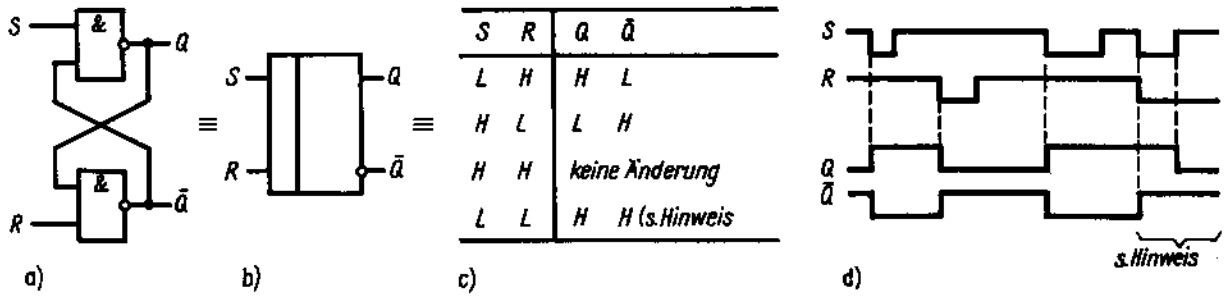
ZB: nur zum Zeitpkt. der pos. Flanke das Eingangssignal übernommen, (Sonst wirkt sich das Eingangssignal nicht auf den Ausgang aus)

Bem: zweiflankengesteuerte FF
- übernehmen das Eingangssignal mit der pos. Taktflanke
- geben das (gespeicherte) Eingangssignal am Ausgang erst mit der neg. Taktflanke aus

FF haben als **Eingänge:** 1 – 2 Informationseingänge
1 Takteingang (synchrone FF)

als **Ausgänge:** Q, $\overline{Q}$ } komplementäre Ausgänge

RS - FF (asynchron)



S	R	Q	Q̄
L	H	H	L
H	L	L	H
H	H	keine Änderung	
L	L	H	H (s.Hinweis

Abb. Schaltung (a, b), Zustandstabelle (c) und Impulsdiagramm (d) eines RS-Flipflops, das aus 2 mit Rückführungen versehenen NAND-Gattern besteht. (Verboten ist nur der gleichzeitige Potentialwechsel an S und R von L nach H, weil er auf einen unbestimmten Zustand führt.)

S ≙ Set
R ≙ Reset } sind hier "L"-aktiv

Bem: Für ein RS-FF aus NOR-Gattern sind "H" und "L" miteinander zu tauschen!

Taktzustandsgesteuertes RS-FF (sowie D-FF)

Bezeichn. auch: RS-Auffang-FF oder: Zwischenspeicher-FF oder: RS-Latch

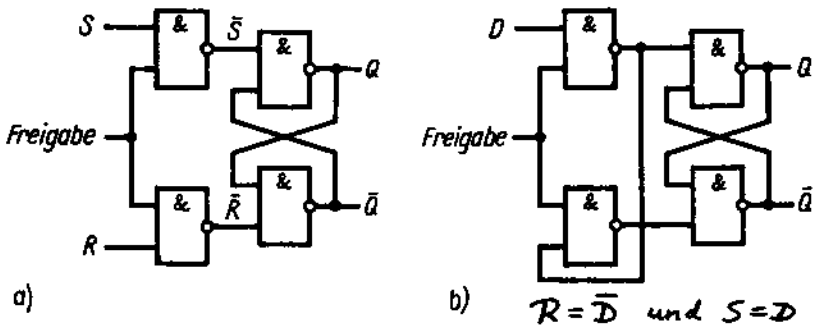


Abb. RS- (a) und D-Latch- (b) Flipflop mit Daten- und Freigabeeingang

2 NAND-Tore vor einfaches RS-FF geschaltet

wenn Freigabeeingang = "L" folgt $\bar{S} = \bar{R}$ = "H", Dateneingang unwirksam, das FF speichert den vorherigen Zustand

— " — = "H" folgt invertierende Wirkung für R und S der geöffneten Tore

⇝ FF verhält sich wie ein normales RS-FF aber die Eingänge

S ≙ Set
R ≙ Reset } sind hier "H"-aktiv

(!) → gleichzeitiger Potentialwechsel an S und R von H nach L ist verboten (führt auf unbestimmten Zustand)

D-Latch: mit "H"-Potential am Freigabeeingang gelangt das gerade am D-Eingang liegende Potential an den Q-Ausgang.

Anwendung von Latch-FF:

- taktloses Auffangen
- Ablegen / Zwischenspeichern von Daten

(!) nicht anwendbar für Zähler und Schieberegister

Bem: - RS-FF
- Taktzustandsgesteuertes RS-FF
- — " — D-FF

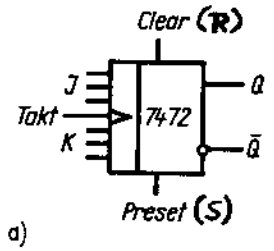
} sind sog. "transparente" FF's

weil sie Änderungen am R-, S-, D-Eingang unmittelbar auf die Ausgänge Q bzw. $\bar{Q}$ übertragen!

Flip-Flop's mit Zwischenspeicherung

Für Zähler / Schieberegister sind FF's erforderlich, die den Eingangszustand zwischenspeichern und diesen erst nach Verriegelung der Eingänge an den Ausgang übertragen.
⇒ Sonst Schwingen bei Rückführungen / sonst kein synchrones Netzwerk mgl.!
ausführbar als
- Master-Slave-FF (taktzustandsgesteuert)
- Taktflankengetriggerte FF

JK-FF ("allgemeiner" FF)



a)

t_n		t_{n+1}	
J	K	Q	$\bar{Q}$
L	L	Q_n	$\bar{Q}_n$
L	H	L	H
H	L	H	L
H	H	$\bar{Q}_n$	Q_n

Clear=Preset=H

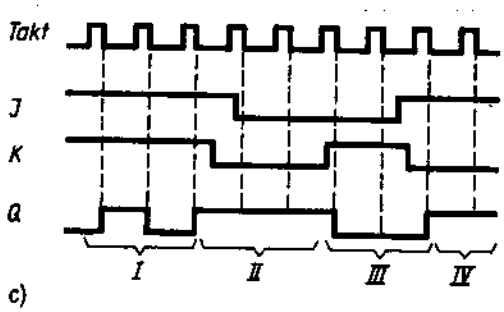
b)

J, K Vorbereitungseingänge

Clear oder R, Preset oder S } Stelleingänge

Schaltflanke: HL-Taktflanke

Clear=L setzt Q=L
Preset=L setzt Q=H



c)

Abb. Schaltungssymbol (a), Zustandstabelle (b) und Impulsdiagramm (c) des allgemeinen JK-Flipflops (Typ 7472 als Beispiel)

Stellvorgang nicht direkt über die Informations-/Vorbereitungseingänge J und K ausführbar

Nur das Taktsignal oder die unabhängigen Stelleingänge Clear und Preset können das Ausgangssignal stellen

Hier auch $J = K = L$ ohne Einschränkung erlaubt!

$J-$, $K-$ } Eingänge AND-verknüpft (J "wirkt auf" Q, K "wirkt auf" $\overline{Q}$)

(III) Für $J = L$, $K = H$ } wird { $Q = L$, $\overline{Q} = H$ mit der folgenden HL-Taktflanke

(II) Für $J = K = L$: keine Weiterstellung mit dem Takt

(I) $J = K = H$: FF wird von jeder HL-Taktflanke gekippt (dh. das FF arbeitet als Binärteiler)

↑ s. Impulsdiagramm ...

JK - Master - Slave - FF

häufigstes u. einfachstes Schaltungskonzept für JK-FF, enthält:

- 2 in Serie geschaltete RS-FF (taktzustandsgesteuert; bezeichnet als "Master" und "Slave")
- 2 Rückführungen I und II

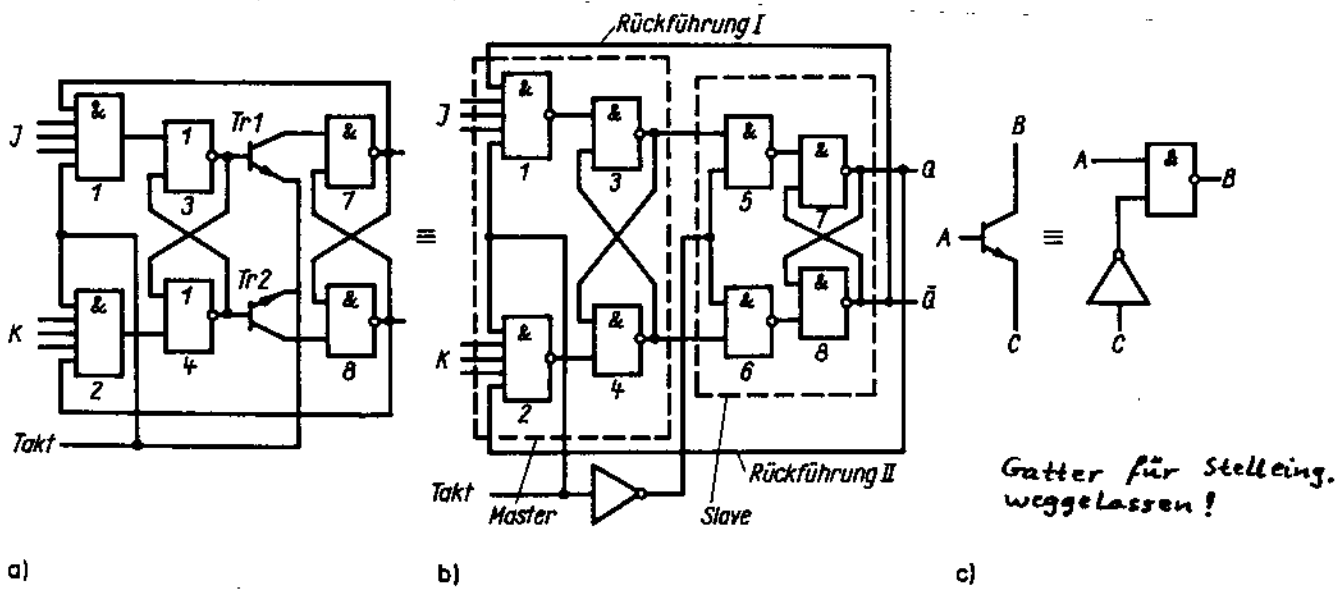


Abb. Schaltbild des JK-Master-Slave-Flipflops 7472 und der dazu äquivalenten Schaltung, die aus 2 RS-Latches (Master und Slave genannt) besteht

- Master und Slave werden durch einen zueinander negierten Takt gesteuert:

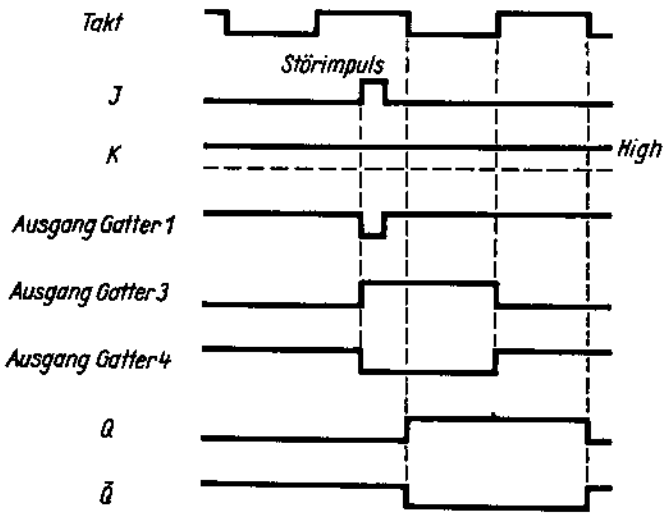
In der Taktphase H: (bzw. mit LH-Taktflanke) übernimmt der Master die J-K-Information (Master-FF: G3 u. G4)
der Slave ist gesperrt (Gatter 5 u. 6), (damit gelangt die Information noch nicht in den Slave!)

Mit HL-Taktflanke: Mastereingang wird gesperrt (Gatter 1 u. 2)
Slaveeingang wird geöffnet
↷ Ausgangspegel der Gatter 3 u. 4 stellen das RS-FF (Gatter 7 u. 8)

Problem: Während Taktpotential "H" wirken positive Störimpulse, die auf "L"-liegende J-[oder K-] Eingänge gelangen, wie Stellimpulse für das Master FF.

(!) Diese Fehlschaltung kann durch zeitlich folgendes L-Potential nicht mehr rückgestellt werden (Rückkopplung blockiert entspr. Tor)

↓ Die folgende HL-Taktflanke kippt dann den Slave in das Q = "H" - [oder $\overline{Q}$ = H -] Potential!



dh: Änderungen an den J-, K-Eingängen sind während Takt = "H" nicht zulässig!

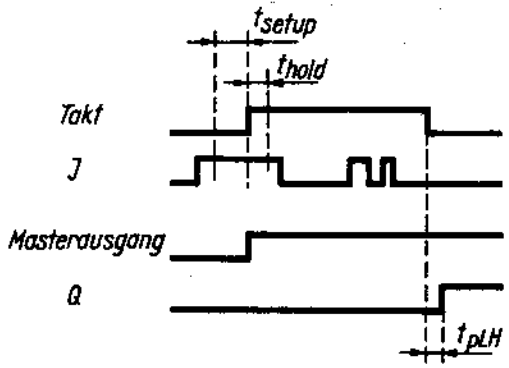
Abb. Impulsdiagramm zur Datenaufnahme und zum Stellen des Flipflops 7472 durch einen positiven Störimpuls am J-Eingang

Nichtbeachten dieser Einschränkung ≙ häufiger Fehlerquelle!

Deshalb Entwicklung des

Master-Slave-FF mit JK-Sperre (Data lockout)

sind unempfindlich bei Takt = "H" gegenüber Potentialänderungen an JK-Eingängen.
Es wird nur derjenige Eingangszustand J, K eingelesen, der bei der pos. Taktflanke (sowie t_{setup} und t_{hold}) angelegen hat. Unmittelbar nach dieser Flanke werden die J-, K-Eingänge gesperrt. Auslesen erst mit der neg. Taktflanke.



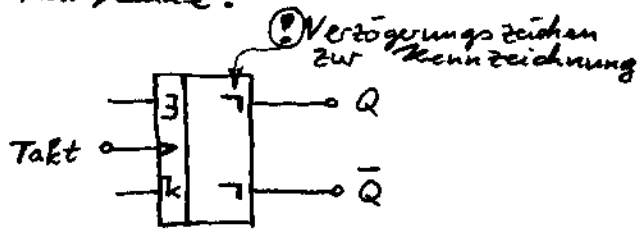


Abb. Impulsdiagramm eines JK-MS-Flipflops mit Data-lockout. (Bei Takt = H wird der Master von Änderungen am J-Eingang nicht beeinflußt (Clock-skewed-FF's)
(zB. 7474, 74110, 74111)

(!) Bei einfachen JK-FF (ohne Bezeichnung "Master-Slave") wird nur die zum Zeitpkt. der Taktflanke am J- und K-Eingang liegende Information ins FF übernommen. Hierzu kurzzeitige dynamische Zwischenspeicherung des FF-Zustands

D - Flip Flop

nur als taktflankengetriggerte D-FF (außer D-Latches)
Hier nur: 1 Informationseingang (D-Eing.)
1 Takteingang
1 oder 2 Stelleingänge (Clear, Preset)

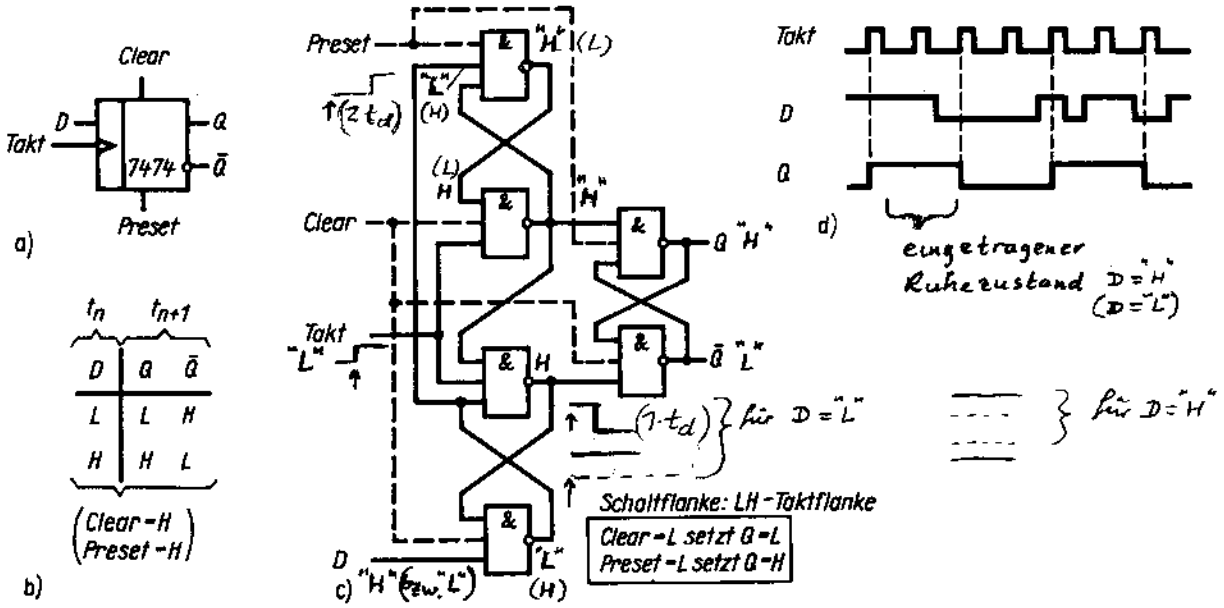


Abb. Schaltungssymbol (a), Zustandstabelle (b), Logikschaltung (c) und Impulsdiagramm (d) des D-Flipflops 7474

Mit jeder signifikanten Taktflanke (beim Typ 7474 die LH-Flanke) übernimmt das D-FF die zu diesem Zeitpkt. am D-Eingang anliegende Information in den Ausgang Q und speichert sie bis zur nächsten signifikanten Taktflanke. (zwischenzeitliche Änderungen am D-Eingang sind ohne Einfluß)

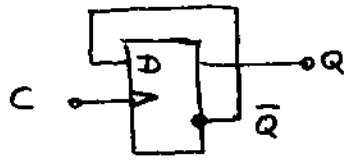
↓ sog. "Verzögerungs-FF" (D ≙ Delay)

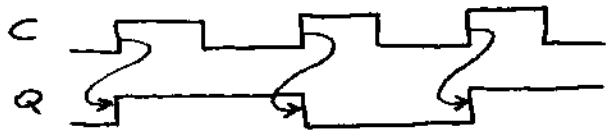
Funktion beruht auf der internen Verzögerung der Schaltflanke im FF. Mit dieser Flanke wird der Weg D-Eingang → Ausgang für die Zeit von mindestens 2 Gatterlaufzeiten freigegeben und anschließend durch eine Rückführung der verzögerten Schaltflanke wieder gesperrt.

Anwendung: – zum Synchronisieren von Vorgängen
– Aufbau von Ringzählern u. Schieberegistern

als Toggle-FF:

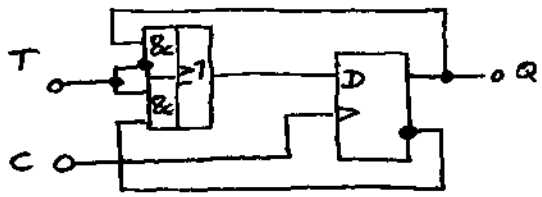
mit $\overline{Q} = D$ invertiert sich der Ausgangszustand mit jeder signifikanten Taktflanke, D übernimmt jeweils $\overline{Q}$



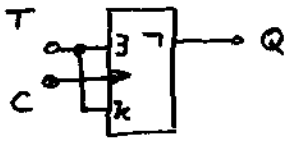


≙ 2:1 Frequenzteiler (Untersetzer)
(n FF's liefern Teilerverhältnis $2^n:1$)

bzw. wahlweise Rückführung von Q oder $\overline{Q}$, gesteuert über Toggle-Eingang T



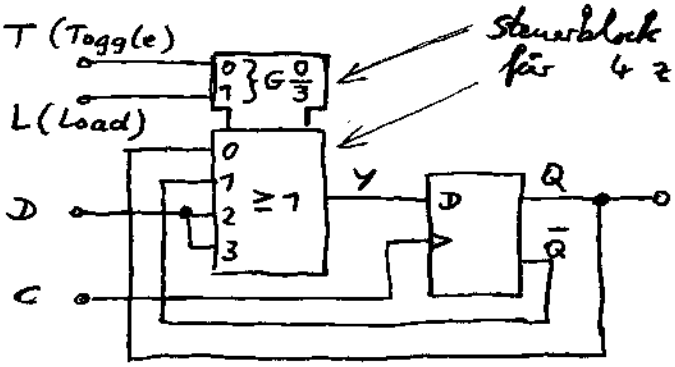
Bem: ≙



$$Q(t_{n+1}) = \begin{cases} Q(t_n) & \text{für } T = \text{"L"} \\ \overline{Q}(t_n) & \text{für } T = \text{"H"} \end{cases}$$

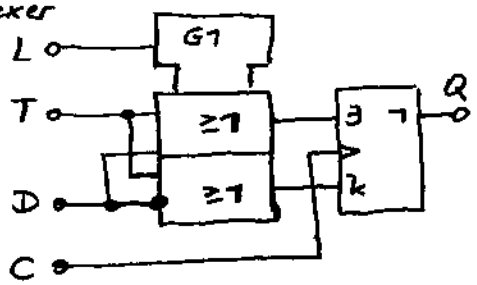
Multifunktions-FF

entstehen, wenn zusätzlich die Möglichkeit zur synchronen Dateneingabe geschaffen wird ⟹ Grundbausteine für Zähler:



Steuerblock mit Steuervariablen T, L (≙ 2 bit) für 4 zu 1 - Multiplexer

Bem: ≙



$\boxed{\text{für } L = \text{"H"}}$ wird $y = D$ ↷ nach Takt $Q = D$

$\boxed{\text{für } L = \text{"L"}}$ wie vorige Schaltung

L	T	$Q(t_{n+1})$
L	L	$Q(t_n)$
L	H	$\overline{Q}(t_n)$
H	L	D
H	H	D

$\boxed{\text{für } L = \text{"H"}}$ wird $J = D$ $(K = \overline{D})$
↷ nach nächstem Takt: $Q = D$

$\boxed{\text{für } L = \text{"L"}}$ wird $J = K = T$
↷ wie vorige Schaltg.

C: Daten liegen an — Daten erscheinen am Ausgang

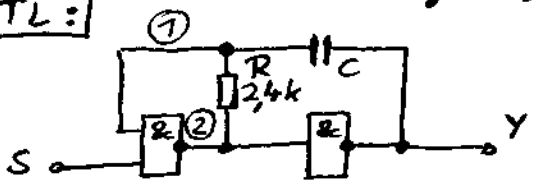
Spezielle Schaltungsfunktionen

mit Verbindungen zur analogen Schaltungstechnik, da die Schaltungen auch R und C enthalten...

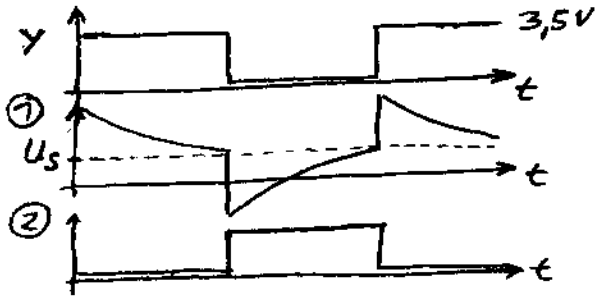
Impulsgeneratoren

mit Gattern: astabile Multivibratoren (Kippschaltungen); in den Rückkopplungszweig sind RC-Glieder (Verzögerungsglieder) eingebaut

TTL:



74 LS 00

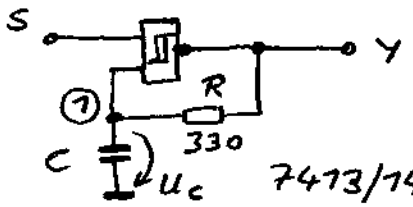


Umschaltpkt. des Gattereingangs $U_S \approx 1{,}3\,V$

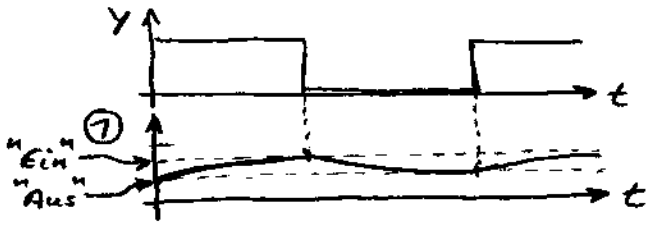
$$T \approx 3 \cdot R \cdot C \quad \text{bzw.} \quad f \approx \frac{1}{3 \cdot R \cdot C}$$

Dimensionierung: Variationsbereich R eingeschränkt! Best. von:
R_{max} aus Gatter-Eingangsstrom, der über R fließt (3,9k)
R_{min} aus mgl. Ausgangsstrom (1k)

mit Trigger-Gatter:



7413/14

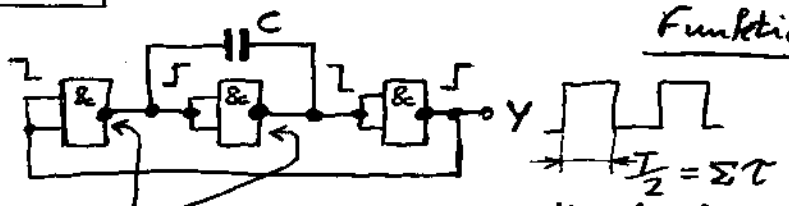


U_C: Aufladung bis zum Triggereinschaltpegel, dann Entladung bis zum Triggerausschaltpegel

$$f \approx \frac{0{,}7}{R \cdot C}$$

(Bem: mit CMOS-Trigger 4093B: $f \approx \frac{2{,}7}{R \cdot C}$)

CMOS:



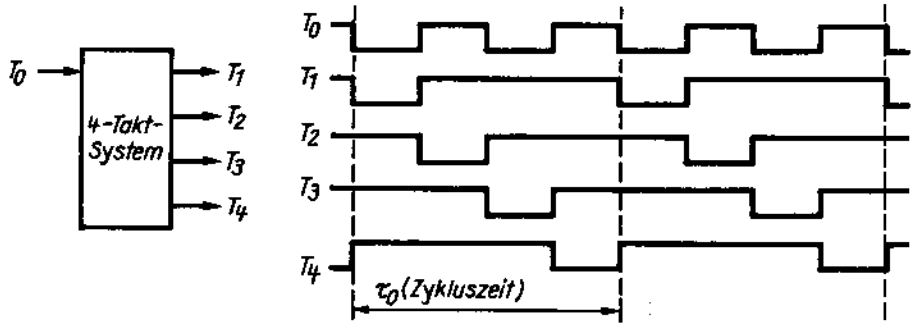
(!) Quellwiderstand des Gatters beachten $= R_{DS\,on}$ (leitender MOSFET)

Funktion: bei ungeradzahliger Anzahl von Gattern mit Rückführung kann sich kein stabiler Zustand einstellen

↷ Gatterlaufzeit + Verzögerung (C) bestimmt Periodendauer

Taktgeber

auch: Taktsystem
stellt aus Grundtakt jeweils n getrennte Einzeltakte $T_1 \dots T_n$ her:

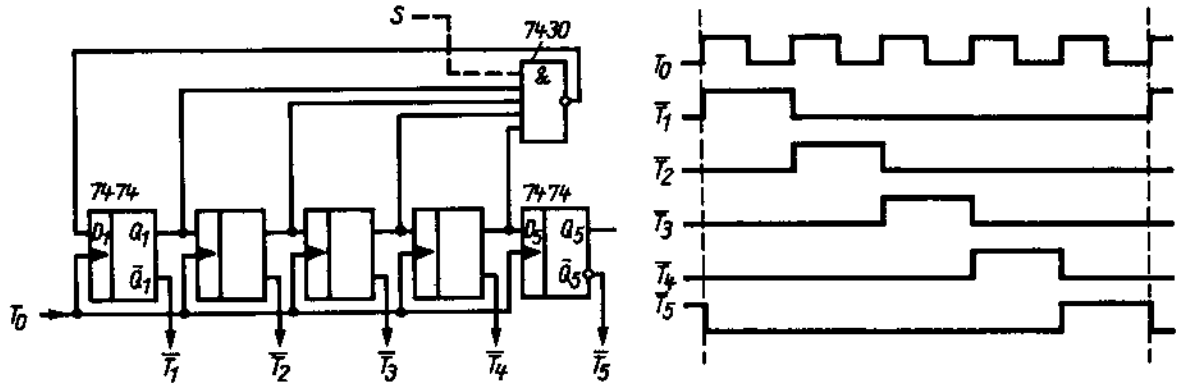


Impulsdiagramm eines 4-Takt-Systems

Innerhalb der Zykluszeit τ_0 haben $T_1 \dots T_n$ definierte zeitl. Lagen mit aktiven Taktzuständen bzw. Taktflanken
Anwendung: Steuerung v. Baugruppen im Zeitmultiplexbetrieb.

Aufbau: zB. Binärzähler mit Dekodiernetzwerk für die Zählerzustände
↓ zwar nur wenige Zähler erforderlich, aber hoher Aufwand für Dekodiernetzwerke, wobei
- Taktflanken um n · FF-Schaltzeiten verschoben
- Wettlauferscheinungen (mit Hazards / Spikes) auftreten.

günstiger ist Nutzung eines Schieberegisters:



Takt-System mit 5 D-Flipflops und 1 NAND-Gatter 7430 (das System bringt sich aus beliebigem Anfangszustand nach spätestens 5 Taktimpulsen von selbst in den Zyklus)

Die Rückführung über das NAND-Gatter sorgt dafür, daß sich die Schaltung nach spätestens 5 Taktimpulsen T_0 aus einem

beliebigen Anfangszustand der FF von selbst in den Zyklus eines 5-Takt-Systems gebracht hat!

Fktn: In D_1 wird solange "H" eingeschrieben, bis $Q_1 \dots Q_4$ auf "H" liegen. Das einzige "L"-Potential kann dann noch bei Q_5 anliegen – jetzt gibt das NAND-Gatter das nächste "L" an D_1: dies entspricht einer Rückführung von Q_5 nach D_1.

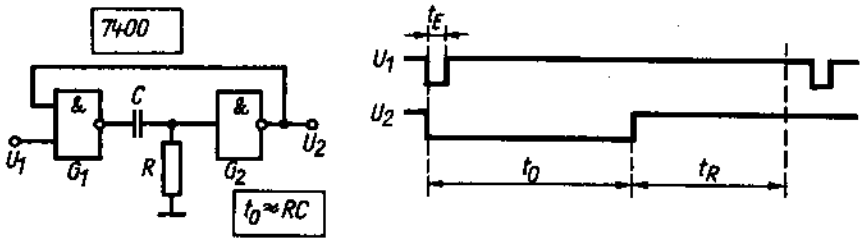
Synchronisation mit anderen Taktsystemen:

a.) einmaliger / periodischer Einschreibimpuls S oder
b.) Setzen der FF 1 ... 4 auf Q_n = "H" und des FF5 auf Q_5 = "L"

Monoflops

Monostabile Multivibratoren,
Eingangsimpuls kippt das Monoflop; nach Haltezeit t_0 (durch RC-Glied bestimmt) kehrt M.Flop in die stabile Ruhelage zurück

(!) Erholzeit t_R muß vor erneutem Eingangsimpuls U_1 abgewartet werden. → C lädt sich dann auf den stationären Endwert seiner Ruhespannung um.
Innerhalb t_R eintreffende Eingangsimpulse liefern eine verkürzte Haltezeit.



Monoflopschaltung mit 2 NAND-Gattern 7400

Haltezeit $t_0 \approx R \cdot C$ $\qquad 220\,\Omega \leq R \leq 7\,k\Omega$
Erholzeit $t_R \approx (2 \dots 3) \cdot t_0$

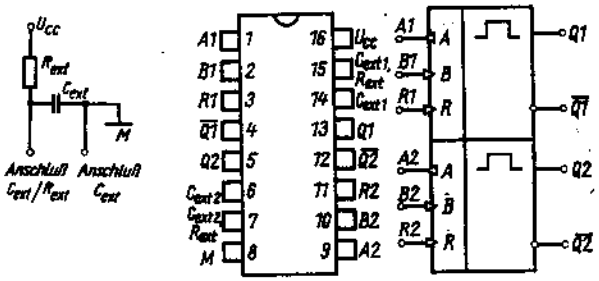
Problem: Einfache Anordnungen mit RC-Gliedern sind nicht retriggerbar!

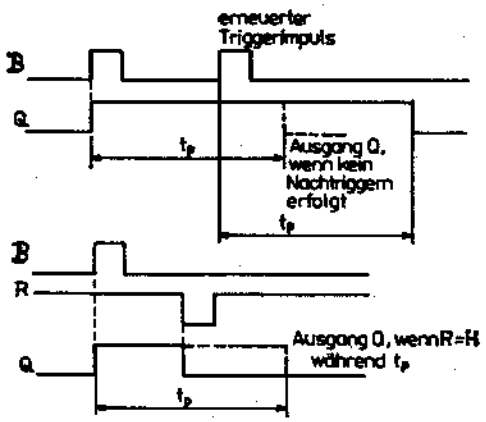
d.h.: innerhalb der Haltezeit eintreffende weitere Eingangsimpulse sind unwirksam – die Haltezeit zählt von der ersten U_1-Impulsflanke an!

↓ Retriggerbare M.F.: mit jedem innerhalb t_0 eintreffenden Eingangsimpuls verlängert sich die Haltezeit um t_0!

dh., Haltezeit t_0 zählt vom letzten Eingangsimpuls an!

ZB: 74123
(2 retriggerbare Monoflops)





Rückstelleingang $\boxed{R = \text{"L"}}$ bewirkt

a.) Q = "L" (Abbruch des Ausgangssignals)
b.) Sperrung der Eingänge A (invertiert) und B

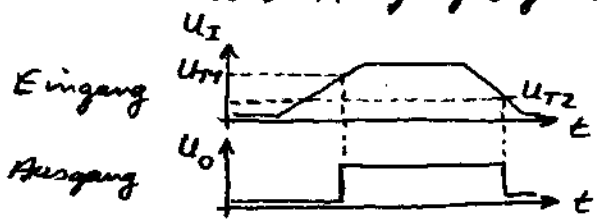
Eingangsimpulse: an B triggert die LH-Flanke das M.Flop (für A = "L" und R = "H")

Bedingungen: $C_{ext} \leq 1nF$ und $R_{ext} = 5k \ldots 50k$

$$t_p \approx 0{,}3\, R_{ext} \cdot C_{ext}$$

Schmitt-Trigger

Sind Schwellwertschalter, die ein analoges Eingangssignal in ein binäres Ausgangssignal umwandeln

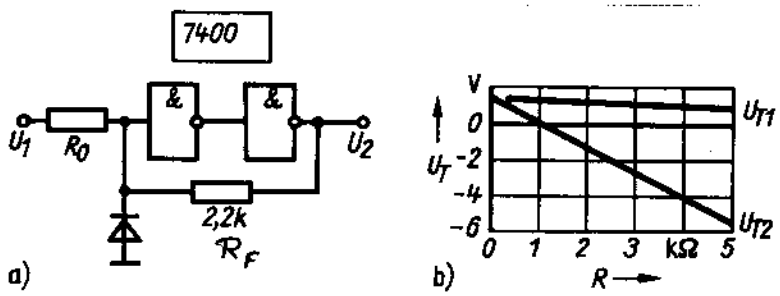


auch differenzieller Eingang (Leitungsempfänger)

Differenz der Schwellspannungen
$U_{T1} - U_{T2}$ = Schalthysterese (entsteht durch Mitkopplungs-Spannungsteiler)
erforderlich aus Stabilitätsgründen, einfache Gattereingänge würden in der Nähe des Umschaltpunktes (= Schwellspannung) bei überlagerten Störsignalen ungewollt umschalten / schwingen.

Anwendung: - Flankenversteilerung / Impulsregenerierung
- häufig Anw. in Interface-Stufen (Leitungsempfänger)

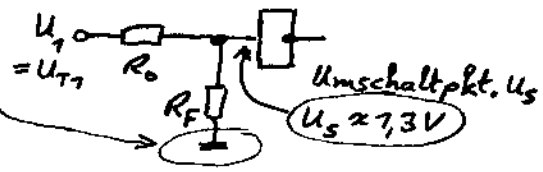
nichtinvertierend:
aus Standartgattern



a) Schmitt-Trigger-Schaltung aus 2 NAND-Gattern 7400; b) Abhängigkeit der Triggerschwellen U_{T1}, U_{T2} vom Widerstand R ($R = R_0 + R_i$; R_i Innenwiderstand der Spannungsquelle)

Berechnung der Schwellspannungen U_{T1} u. U_{T2}: ohne Berücksichtigung der Quellwiderstände

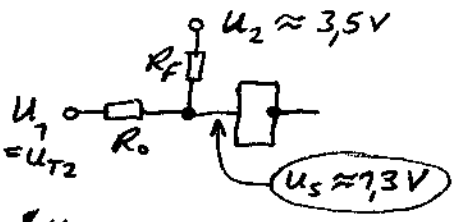
bei $\boxed{U_2 = \text{"L"}}$:



$\downarrow U_{T1}$

$$\frac{U_{T1}}{U_s} \approx \frac{R_0 + R_F}{R_F}$$

bei $\boxed{U_2 = \text{"H"}}$:



$\downarrow U_{T2}$

$$\frac{3{,}5V - U_{T2}}{U_s - U_{T2}} \approx \frac{R_0 + R_F}{R_0}$$

$\downarrow \frac{U_{T2}}{U_s}$

! $U_{T2} < U_s$

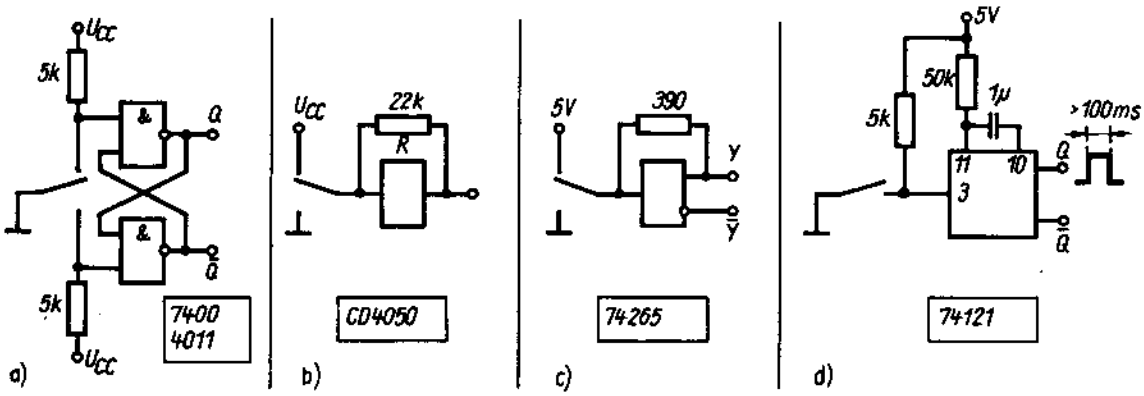
Bem: Einfachere Betrachtung für gleiche Schaltung mit CMOS-Gattern!
(Umschaltpkt. U_s bei $U_{DD}/2$)

Prellfreier Schalter

mechanische Schalter schwingen ("prellen") bei Schaltvorgängen während einiger ms!

$\downarrow$ mehrmalige "L" – "H" – Wechsel bis das endgültige Potential erreicht ist.

Definiertes Schalten z. Zt.pkt. des ersten Kontaktwechsels durch Schaltungen mit Kippverhalten erreichbar:



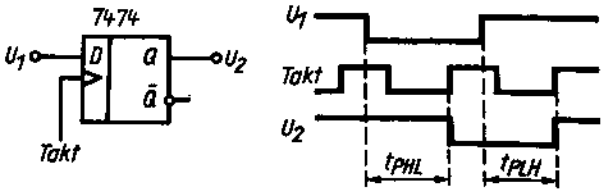
Entprellschaltung für mechanische Kontakte
a) mit RS-Flipflop; b) und c) mit Gattern mit Rückführung; d) mit Monoflop

Impulsverzögerung

wird erforderlich, wenn:

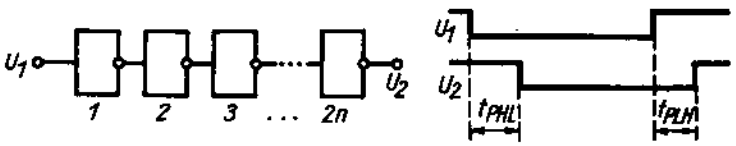
- signifikante Signale in größeren Systemen mit unterschiedlichen Laufzeiten eintreffen (Signalverzögerung)
- Signale aufgrund Gatterverzögerungen in Verknüpfungsnetzwerken später eintreffen, als der Takt, mit dem sie verarbeitet werden sollen (Taktverzögerung)

a.) getaktete Verzögerung mit D-FF, das Eingangssignal wird gleichzeitig synchronisiert:



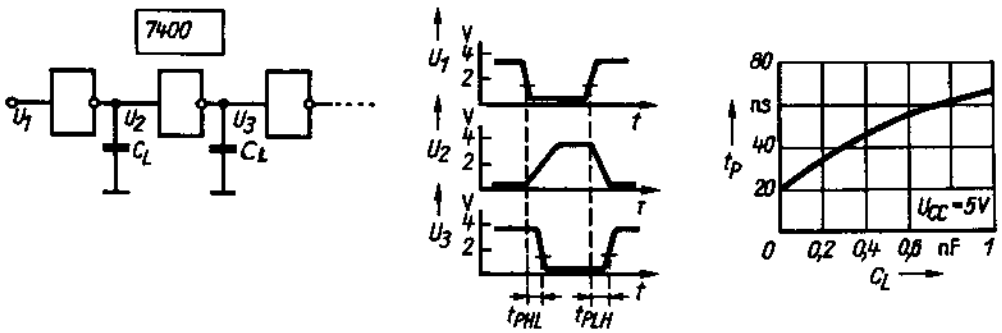
Impulsverzögerung bzw. -synchronisation mit D-Flipflops

b.) Verzögerungszeit aus Summe von Gatterverzögerungszeiten:
für n = geradzahlig sind beide Flankenverzög.-zeiten gleich!



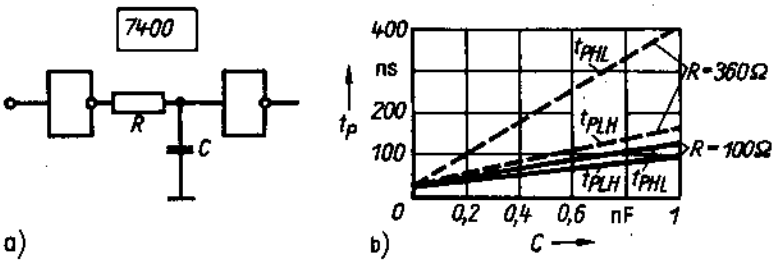
Impulsverzögerung durch Kettenschaltung von Gattern

c.) Verringerung der Anzahl der Gatter durch kapazitive Belastung von Gatterausgängen:
Quellwiderstand des Gatterausgangs bildet mit C_L Zeitkonstante τ
(τ: einige 10 ns)



Impulsverzögerung durch kapazitive Belastung ($t_{PLH} \approx t_{PHL}$)

d.) bzw:



Impulsverzögerung durch 2 Gatter mit RC-Glied

Impulsausblendung

Ein Auslösesignal (zb. manuell betätigter Schalter) soll einen Impuls <u>taktsynchron</u> aus einem Takt ausblenden.

Erforderlich zB. für:
- Reset
- Programmstart
- Zähler-Start/Stopp

Lösung durch Anwendung von D-FF zur <u>Zwischenspeicherung</u> des Auslösesignals bis zur signifikanten Taktflanke:

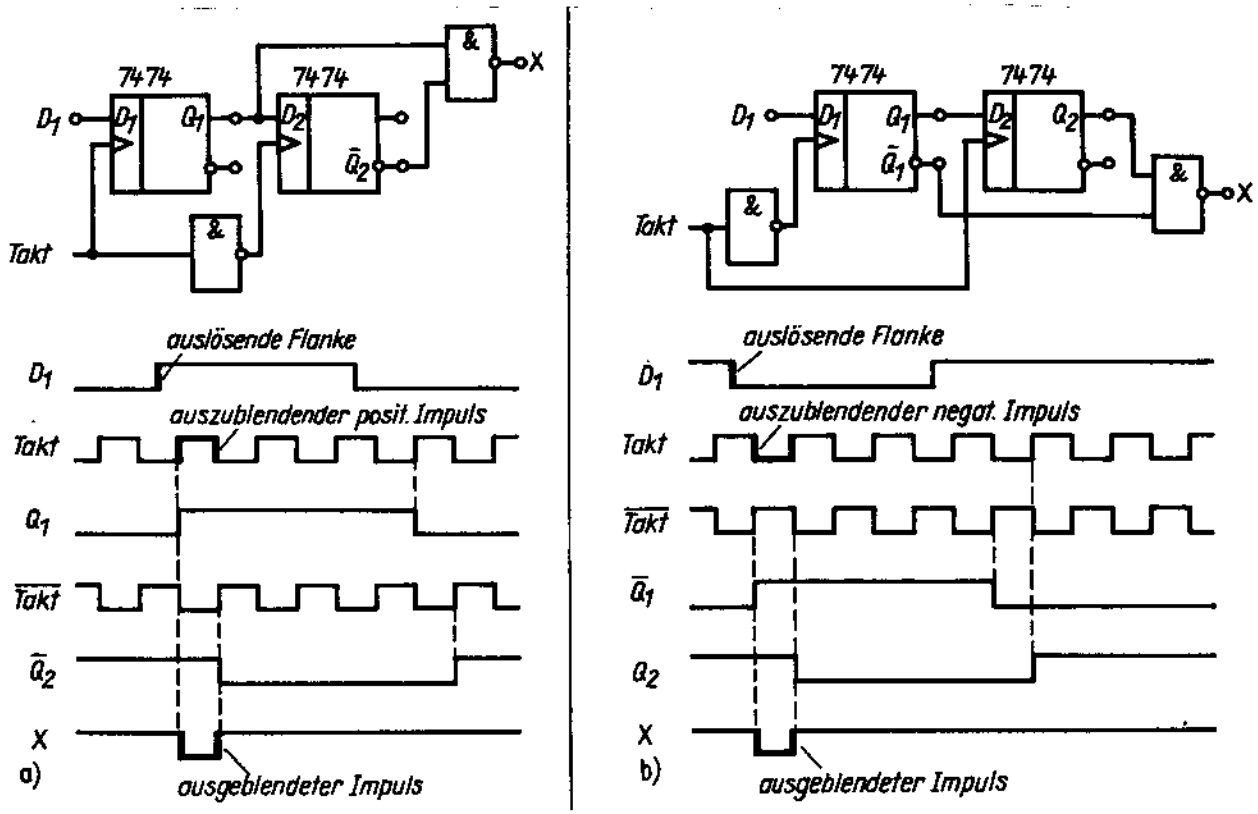


Abb.: Ausblendung eines Taktimpulses mit Hilfe von 2D-Flipflops und 2 NAND-Gattern
a) ausgelöst durch eine LH-Flanke; b) ausgelöst durch eine HL-Flanke am D_1-Eingang